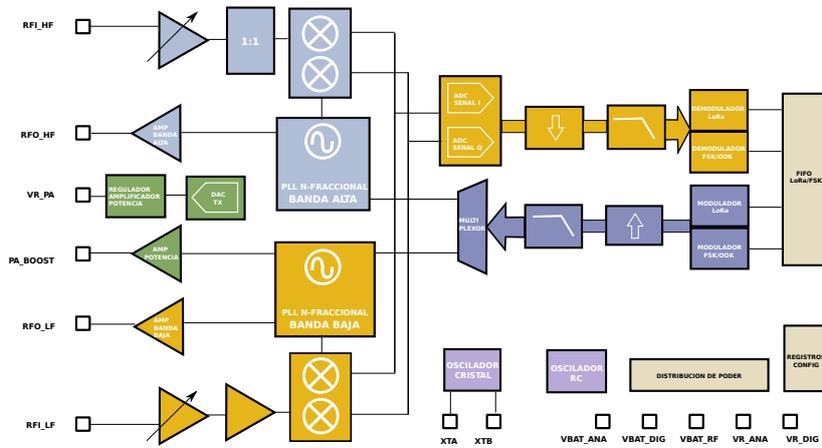


SX1276/77/78/79 - Transmisor Receptor Bajo consumo y largo alcance 137 MHz a 1020 MHz



DESCRIPCION GENERAL	CARACTERISTICAS IMPORTANTES
<p>El chip SX1276/77/78/79 transmisor receptor incorpora el módem de larga distancia LoRa (MR) que proporciona comunicaciones de muy larga distancia, espectro ensanchado y muy alta inmunidad a la interferencia, consumiendo un mínimo de corriente</p> <p>Usando la técnica de modulación LoRa (TM) patentada por semtech, el chip SX1276/77/78/79 puede alcanzar una sensibilidad de hasta -148dBm usando un cristal y algunos otros componentes de muy bajo costo. La alta sensibilidad, combinada con el amplificador de potencia integrado de +20 dBm proporciona un enlace de ultima tecnología adecuado para muchas aplicaciones que requieren un rango de robustez alto. LoRa (MR) también proporciona ventajas significativas en bloqueo a las interferencias y selectividad con respecto a técnicas de modulación convencionales, resolviendo el problema tradicional de compromiso entre distancia, inmunidad a la interferencia y consumo de energía</p> <p>Estos dispositivos también incorporan otras modulaciones de alto desempeño como(G)FSK para sistemas que utilizan WMBus, IEEE802.15.4g. El chip SX1276/77/78/79 posee características excepcionales en cuanto a ruido de fase,selectividad, linealidad del receptor y punto de interceptación de tercer orden (IIP3) para un consumo de corriente significativamente mas bajo que otros dispositivos de la competencia.</p>	<ul style="list-style-type: none"> Módem LoRa (MR) Presupuesto de potencia de enlace máximo 168 dB +20 dBm - 100 mW de salida constante de RF vs. fuente de alimentación Amplificador de potencia de +14 dBm de alta eficiencia Velocidad de transmisión programable hasta 300 kbps Alta sensibilidad hasta -148 dBm Etapa de salida robusta: IIP3 = -11 dBm Excelente inmunidad al bloqueo por otras señales Baja corriente en modo recepción 9.9 mA, 200 nA para retención de registros. Sintetizador completamente integrado con resolución de 61 Hz modulaciones FSK, GFSK, MSK, GMSK, LoRa(MR) y OOK. Incorpora sincronizador de bit para reconstrucción de señal de reloj. Detección de preámbulo 127 dB de rango dinámico de indicador de fuerza recibida (RSSI) Detección automática de RF y uso de canal (CAD) con control de frecuencia ultra-rápido Manejador de paquetes de hasta 256 bytes con control de errores mediante CRC Sensor de temperatura e indicador de batería baja incorporados.
	<p>APLICACIONES</p>
	<ul style="list-style-type: none"> Lectura automática de medidores de agua, gas y electricidad. Automatización de hogares y edificios Sistemas de seguridad y alarmas inalámbricos Control y monitoreo industrial Sistemas de irrigación de gran distancia

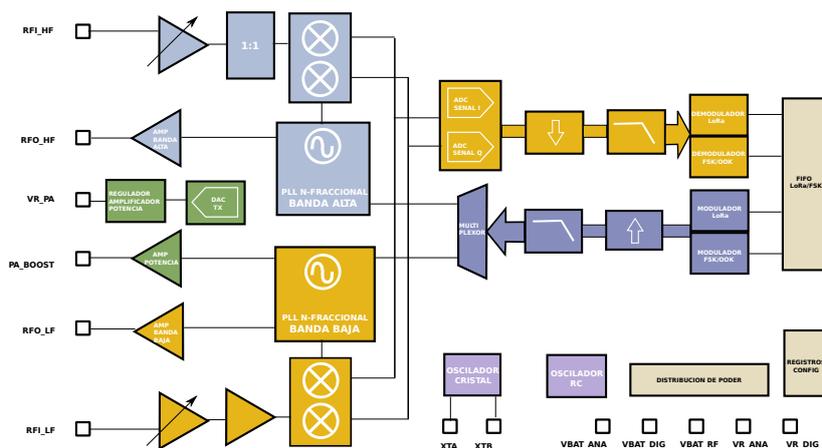
Descripción general

El chip SX1276/77/78/79 incorpora el módem de espectro ensanchado Lora (MR) el cual es capaz de proveer una distancia de comunicación significativamente mayor que los sistemas basados en modulación FSK y OOK. En su velocidad máxima de transmisión la sensibilidad de LoRa (MR) es 8dB mayor que los módems basados en FSK, pero utilizando un cristal de 20ppm, la sensibilidad del módem LoRa puede ser mejorada hasta en 20dB comparado con módems basados en FSK. LoRa (MR) también proporciona mejoras significativas en selectividad e inmunidad al bloqueo, mejorando aun la fiabilidad de la comunicación. Para una mayor flexibilidad el usuario decide en ancho de banda del espectro ensanchado (BW), el factor de ensanchamiento (SF) y el factor de corrección de errores (CR). Otro beneficio de la modulación de espectro ensanchado es que cada factor de ensanchamiento es ortogonal, de forma tal que múltiples señales pueden compartir el mismo canal sin interferirse.

Esto también permite coexistencia con sistemas basados en FSK que ya estén instalados y en funcionamiento. También incorpora técnicas de modulación estándar como GFSK, FSK, OOK y GMSK para permitir compatibilidad con sistemas o estándares inalámbricos como IEEE 802.15.4g o MBUS.

Los chips SX1276 y SX1279 ofrecen anchos de banda que van desde los 7.8 kHz a 500 kHz con factores de ensanchamiento que van desde el 6 al 12, cubriendo todas las bandas disponibles. El chip SX1277 ofrece el mismo ancho de banda y la misma banda de frecuencias pero con factores de ensanchamiento del 6 al 9. El chip SX1278 ofrece opciones de anchos de banda y factores de ensanchamiento, pero solo cubre la parte inferior de la banda UHF

Diagrama de bloques simplificado



Versión del producto

Las características de las cuatro variantes del producto se detallan en la siguiente tabla

Referencia	Rango frecuencia	Factor ensanchamiento	Ancho banda	Velocidad transmisión	Sensibilidad estimada
SX1276	137 - 1020 MHz	6 - 12	7.8 - 500 kHz	.018 - 37.5 kbps	-111 to -148 dBm
SX1277	137 - 1020 MHz	6 - 9	7.8 - 500 kHz	.011 - 37.5 kbps	-111 to -139 dBm
SX1278	137 - 525 MHz	6 - 12	7.8 - 500 kHz	.018 - 37.5 kbps	-111 to -148 dBm
SX1279	137 - 960MHz	6 - 12	7.8 - 500 kHz	.018 - 37.5 kbps	-111 to -148 dBm

Descripción de pines

Nombre	Tipo	Descripción
SX1276/77/79/(78)	SX1276/77/79/(78)	SX1276/77/79/(78)
GROUND	-	Pin de tierra expuesto
RFL_LF	ENTRADA	Entrada de RF para las bandas 2 & 3
VR_ANA	-	Fuente de poder regulada para la circuitería análoga
VBAT_ANA	-	Fuente de poder para la circuitería análoga
VR_DIG	-	Fuente de poder regulada para los bloques digitales
XTA	ENTRADA/SALIDA	Conexión del CRISTAL u oscilador TXCO
XTB	ENTRADA/SALIDA	Conexión del CRISTAL
NRESET	ENTRADA/SALIDA	Entrada de reset del chip
DIO0	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
DIO1/DCLK	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
DIO2/DATA	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
DIO3	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
DIO4	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
DIO5	ENTRADA/SALIDA	Entrada o Salida digital, configurable por software
VBAT_DIG	-	Fuente de poder para los bloques digitales
GND	-	Tierra
SCK	ENTRADA	Entrada del reloj SPI
MISO	SALIDA	Salida de datos del SPI
MOSI	ENTRADA	Entrada de datos del SPI
NSS	ENTRADA	Entrada de selección del chip como esclavo SPI
RXTX/RF_MOD	SALIDA	Conmutador de Transmisión y Recepción. Estado alto Transmisión
RFL_HF(GND)	ENTRADA (-)	Entrada de RF para la banda 1 (Tierra)
RFO_HF(GND)	SALIDA (-)	Salida de RF para la banda 1 (Tierra)
GND	-	Tierra
VBAT_RF	-	Fuente de voltaje para los bloques de RF
VR_PA	-	Fuente de alimentación regulada para el Amplificador de Potencia (PA)
GND	-	Tierra
PA_BOOST	SALIDA	Salida opcional Amplificador de Potencia (PA) todas las bandas
RFO_LF	SALIDA	Salida de RF para las bandas 2 & 3

máximos absolutos

Símbolo	Descripción	Mín	Max	Unidad
VDDmr	Voltaje Alimentación	-0.5	3.9	V
Tmr	Temperatura	-55	+115	°C
Tj	Temperatura de juntura	-	+125	°C
Pmr	Nivel de entrada de RF	-	+10	dBm

rango de operación

Símbolo	Descripción	Mín	Max	Unidad
VDDop	Voltaje Alimentación	1.8	3.7	V
Top	Rango temperatura operación	-40	+85	°C
Clop	Carga capacitiva en puertos digitales	-	25	pF
ML	Nivel de entrada de RF	-	+10	dBm

Especificaciones eléctricas para modulación LoRa

La tabla a continuación muestra las especificaciones del transmisor receptor operando en modulación LoRa (MR) bajo las siguientes condiciones a menos que se especifique otra cosa:

- Voltaje de alimentación = 3.3V
- Temperatura = 25°C
- f XOSC = 32MHz
- Ancho de banda (BW) = 125 kHz
- Factor de ensanchamiento (SF) = 12
- Código de corrección de errores (EC)=4/6
- Porcentaje de error en paquetes (PER) = 1%
- Verificación de CRC en el área de datos habilitada
- Potencia de salida = 13dBm en transmisión
- Tamaño de área de datos = 64 bytes
- Tamaño del preámbulo = 12 símbolos (registro programado PreambleLength=8)
- Impedancias acopladas

Especificaciones del receptor LoRa

Símbolo	Descripción	Condiciones	Min	Tip	Max	Unidad
IDDR_L	Corriente de alimentación en modo LoRa. LnaBoost apagado	Bandas 2&3, BW=7.8 to 62.5 kHz	-	11.0	-	mA
		Bandas 2&3, BW = 125 kHz	-	11.5	-	mA
		Bandas 2&3, BW = 250 kHz	-	12.4	-	mA
		Bandas 2&3, BW = 500 kHz	-	13.8	-	mA
		Banda 1, BW=7.8 to 62.5 kHz	-	9.9	-	mA
		Banda 1, BW = 125 kHz	-	10.3	-	mA
		Banda 1, BW = 250 kHz	-	11.1	-	mA
		Banda 1, BW = 500 kHz	-	12.6	-	mA
IDDT_L	Corriente de alimentación en modo Transmisión	RFOP = 13 dBm RFOP = 7 dBm	-	28 20	-	
IDDT_H_L	Corriente de alimentación en modo Transmisión con transformación de impedancia externa	Usando el pin PA_BOOST RFOP = 17 dBm	-	90	-	mA
BI_L	Inmunidad al bloqueo portadora interferente	offset = +/- 1 MHz	-	89	-	dB
		offset = +/- 2 MHz	-	94	-	dB
		offset = +/- 10 MHz	-	100	-	dB
IIP2_L	Punto de interceptación de entrada de segundo orden. Tonos no deseados están 20MHz por encima del oscilador local	Ganancia LNA al máximo	-	+55	-	dBm
IIP3_L_HF	Punto de interceptación de entrada de tercer orden. Tonos no deseados están 1 MHz y 1.996 MHz por encima del oscilador local	Banda 1 Ganancia LNA máxima G1	-	-11	-	dBm
		Ganancia LNA G2, sensibilidad 5dB	-	-6	-	dBm
IIP3_L_LF	Punto de interceptación de entrada de tercer orden. Tonos no deseados están 1 MHz y 1.996 MHz por encima del oscilador local	Banda 2 Ganancia LNA máxima G1	-	-2	-	dBm
		Ganancia LNA G2, sensibilidad 2.5dB	-	-15	-	dBm
RFS_L10_HF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, LnaBoost para la Banda 1, usando caminos separados para Rx/Tx. Ancho de banda 10.4 kHz	SF = 6	-	-131	-	dBm
		SF = 7	-	-134	-	dBm
		SF = 8	-	-138	-	dBm
		SF = 11	-	-146	-	dBm
RFS_L62_HF	sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, LnaBoost para Banda 1, usando caminos separados Rx/Tx ancho de banda 62.5 kHz	SF = 6	-	-121	-	dBm
		SF = 7	-	-126	-	dBm
		SF = 8	-	-129	-	dBm
		SF = 9	-	-132	-	dBm
		SF = 10	-	-135	-	dBm
		SF = 11	-	-137	-	dBm
		SF = 12	-	-139	-	dBm

Símbolo	Descripción	Condiciones	Min	Tip	Max	Unidad
RFS_L125_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3, ancho de banda 125 kHz.	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-121 -125 -128 -131 -134 -136 -137	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L250_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3, ancho de banda 250 kHz.	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-118 -122 -125 -128 -131 -133 -134	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L500_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3, ancho de banda 500 kHz.	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-112 -118 -121 -124 -127 -129 -130	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L7.8_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Bandas 2 y 3, usando caminos separados Rx/Tx. ancho de banda 7.8 kHz	SF = 12 SF = 11	- -	-148 -145	- -	dBm dBm
RFS_L10_LF	Sensibilidad RF, Largo-Alcance,, Ganancia LNA máxima, Banda 3, ancho de banda 10.4 kHz	SF = 6 SF = 7 SF = 8	- - -	-132 -136 -138	- - -	dBm dBm dBm
RFS_L62_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3, ancho de banda 62.5 kHz	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-123 -128 -131 -134 -135 -137 -140	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L125_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3, ancho de banda 125 kHz	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-121 -125 -128 -131 -134 -136 -137	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L250_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3 ancho de banda 250 kHz	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-118 -122 -125 -128 -131 -133 -134	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
RFS_L500_LF	Sensibilidad RF, Largo-Alcance, Ganancia LNA máxima, Banda 3 ancho de banda 500 kHz	SF = 6 SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - - -	-112 -118 -121 -124 -127 -129 -130	- - - - - - -	dBm dBm dBm dBm dBm dBm dBm
CCR_LCW	Rechazo canal adyacente Tono de portadora único (CW) = Sens +6 dB 1% PER	SF = 7 SF = 8 SF = 9 SF = 10 SF = 11 SF = 12	- - - - - -	5 9.5 12 14.4 17 19.5	- - - - - -	dB dB dB dB dB dB

Símbolo	Descripción	Condiciones	Min	Tip	Max	Unidad
CCR_LL	Rechazo de canal adyacente	La interferencia es una señal LoRa (MR) usando el mismo ancho de banda (BW) y el mismo factor de ensanchamiento (SF). Pw = Sensibilidad + 3 dB		-6		dB
ACR_LCW	Rechazo de canal adyacente	La interferencia esta a $1.5 \cdot BW_L$ del centro de la señal buscada 1% PER, Tono simple de portadora (CW) = Sens + 3 dB SF = 7 SF = 12	- -	60 72	- -	dB dB
IMR_LCW	Rechazo de frecuencia imagen después de la calibración.	1% PER, Tono simple de portadora (CW) = Sens +3 dB	-	66	-	dB
FERR_L	Desviación máxima de frecuencia tolerada entre el transmisor receptor sin degradación de sensibilidad, SF6 al 12	Todos los anchos de banda (BW), +/-25% del ancho de banda (BW) Algunos limites mas estrechos aplican (ver a continuación)		+/-25%		BW
	Desviación máxima de frecuencia tolerada entre el transmisor receptor sin degradación de sensibilidad, SF10 al 12	SF = 12 SF = 11 SF = 10	-50 -100 -200	- - -	50 100 200	ppm ppm ppm

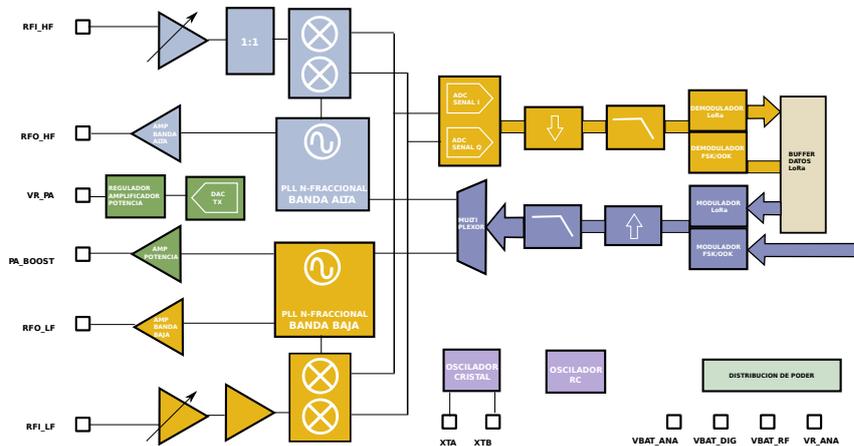
Especificaciones digitales

Condiciones: Temp = 25° C, VDD = 3.3 V, FXOSC = 32 MHz, a menos que se especifique otra cosa.

Símbolo	Descripción	Condiciones	Min	Tip	Max	Unidad
V IH	Entrada digital nivel alto		0.8	-	-	VDD
V IL	Entrada digital nivel bajo		-	-	0.2	VDD
V OH	Salida digital nivel alto	I _{max} = 1 mA	0.9	-	-	VDD
V OL	Salida digital nivel bajo	I _{max} = -1 mA	-	-	0.1	VDD
F SCK	SCK frecuencia		-	-	10	MHz
t ch	SCK tiempo en alto		50	-	-	ns
t cl	SCK tiempo en bajo		50	-	-	ns
t rise	SCK tiempo de subida		-	5	-	ns
t fall	SCK tiempo de bajada		-	5	-	ns
t setup	MOSI tiempo de establecimiento	Desde el cambio de MOSI al flanco de subida de SCK.	30	-	-	ns
t hold	MOSI tiempo de permanencia	Desde el flanco de subida de SCK al cambio de MOSI	20	-	-	ns
t nsetup	NSS tiempo de establecimiento	Desde el flanco de bajada de NSS al flanco de subida de SCK.	30	-	-	ns
t nhold	NSS tiempo de permanencia	Desde el flanco de bajada de SCK al flanco de subida de NSS , en modo normal.	100	-	-	ns
t nhigh	NSS tiempo en alto entre accesos SPI		20	-	-	ns
T_DATA	DATA tiempo permanencia y establecimiento		250	-	-	ns

SX1276/77/78/79 Características

Esta sección presenta una vista general de alto nivel de las funcionalidades del transmisor receptor altamente integrado y de bajo consumo SX1276/77/78/79. La siguiente figura muestra un diagrama de bloques simplificado del SX1276/77/78/79



El chip SX1276/77/78/79 es un transmisor receptor semi-dúplex de baja frecuencia intermedia(IF). La señal de RF recibida es primero amplificada por el LNA. Las entradas del amplificador de bajo ruido (LNA) son en configuración “single end” para minimizar el uso de componentes externos y facilitar el diseño. Después de las entradas LNA, se realiza una conversión a señal diferencial para mejorar la linealidad de segundo orden y el rechazo de armónicos. La frecuencia de la señal es reducida y convertida a una señal en cuadratura donde se originan los dos componentes de la frecuencia intermedia (I & Q) por el circuito mezclador. Un par de conversores sigma delta Análogos a Digital (ADCs) realizan la conversión, de forma tal que todas el procesamiento de aquí en adelante se realiza en el dominio digital.

La maquina de estados digitales también controla el circuito automático de corrección de frecuencia (AFC), el indicador de potencia de la señal recibida (RSSI) y el control automático de ganancia (AGC). También incorpora funcionalidades de paquetes de alto nivel y funcionalidades de secuenciador de alto nivel (TLS), las cuales solo están disponibles cuando se utilizan esquemas de modulación tradicionales como OOK o FSK

Los sintetizadores de frecuencia general la frecuencia local (LO) tanto para el transmisor como para el receptor, uno cubre la banda baja del UHF (hasta 525MHz) y el otro cubre la banda superior del UHF (desde 779 MHz). Los PLL están optimizados con bajo tiempo de enganche y rápida indeliberación, para que sean transparentes para el usuario. Durante la transmisión, la modulación en frecuencia es realizada digitalmente dentro del ancho de banda del PLL. El PLL también incorpora pre-filtrado del flujo de bits para mejorar la pureza espectral

El chip SX1276/77/78/79 incorpora tres distintos amplificadores de potencia de RF, dos de ellos van conectados a lo pines RFO_LF y RFO_HF, pueden suministrar hasta+14dBm, son no regulados para mayor eficiencia eléctrica y pueden ser conectados directamente a sus pines respectivos de recepción utilizando algunos componentes pasivos para construir un transmisor receptor de alta eficiencia con un único puerto de antena. El tercer amplificador de potencia esta conectado al pin PA_BOOSTy puede suministrar hasta +20 dBm una red de impedancias acopladas dedicada. A diferencia de los amplificadores de potencia de alta eficiencia, este amplificador de potencia de alta estabilidad cubre todas las bandas de frecuencia que el sintetizador pueda generar

El chip SX1276/77/78/79 también incluye 2 entradas de reloj: Un oscilador RC y un oscilador de cristal a 32 MHz

Todos los principales parámetros de la etapa de salida de RF y de la maquina de estados digital son totalmente configurables mediante la interfaz SPI que da acceso a los registros de configuración del chip SX1276/77/78/79. Esto incluye un modo de auto-secuencia que supervisa la transición calibración del SX1276/77/78/79 entre diferentes modos de operación de la forma mas rápidamente posible.

El chip SX1276/77/78/79 esta equipado con módem FSK y módem LoRa (TM) de largo alcance y espectro ensanchado

Dependiendo del modo de operación seleccionados modulaciones convencionales como OOK y FSK pueden ser implementadas o modulación de espectro ensanchado en este caso LoRa(MR)

Módem LoRa

El módem LoRa (MR) usa una técnica de modulación de espectro ensanchado propietaria. Esta modulación en contraste con técnicas de modulación mas antiguas, permite incrementar el presupuesto del enlace y aumentarla inmunidad a interferencia en la banda. Al mismo tiempo el requerimiento de tolerancia del cristal usado como patrón de referencia es mas relajado - permitiendo una reducción de costos del sistema. Una descripción de las ventajas desventajas del SX1276/77/78/79 se mostraran mas adelante.

Posibilidades del módem LoRa

El módem LoRa usa técnicas de espectro ensanchado y corrección de errores hacia adelante (FEC) para incrementar la distancia y la robustez del enlace de radio comparado con sistemas tradicionales basados en OOK o FSK. Algunos ejemplos de la mejora en el desempeño posibles, para múltiples configuraciones, se encuentran resumidas en la tabla a continuación. Aquí el el factor de ensanchamiento (SF) y el factor de corrección de errores (CR) son variables de diseño que permiten optimizar el costo a pagar entre ancho de banda, velocidad de transmisión, presupuesto del enlace y inmunidad a las interferencias

Ancho de banda (kHz)	Factor de ensanchamiento	Corrección de errores	velocidad de transmisión	Sensibilidad	Frecuencia de referencia
10.4	6	4/5	782	-131	TCXO (Oscilador de cristal compensado en temperatura)
	12	4/5	24	-147	
20.8	6	4/5	1562	-128	
	12	4/5	49	-144	
62.5	6	4/5	4688	-121	XTAL (Cristal de cuarzo)
	12	4/5	146	-139	
125	6	4/5	9380	-118	
	12	4/5	293	-136	

Notas -

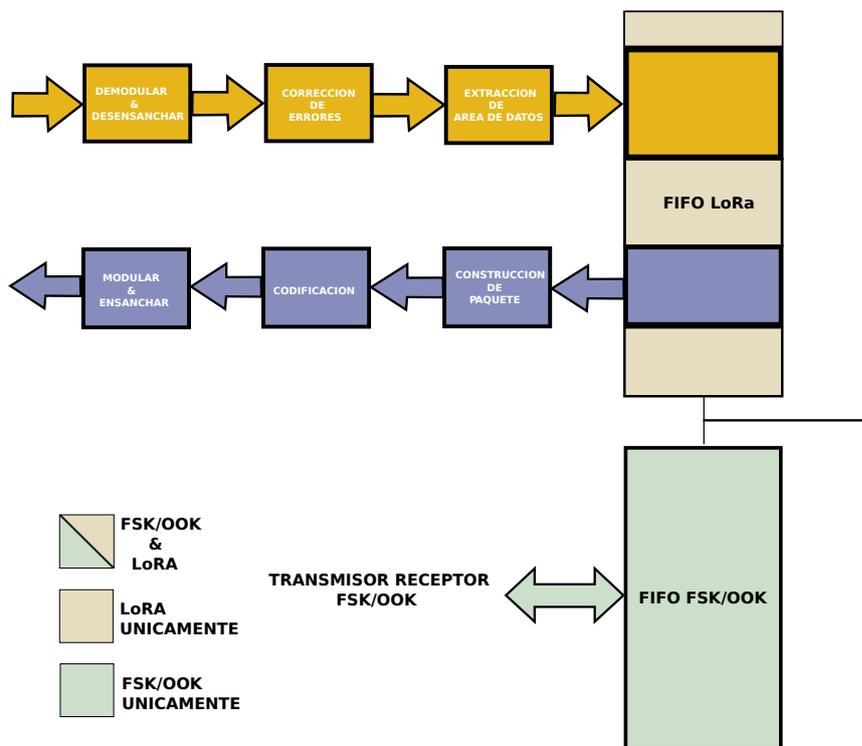
- Para todos los anchos de banda inferiores a 62.5kHz, se aconseja usar un TXCO (oscilador de cuarzo compensado en temperatura) como frecuencia de referencia. Esto es requerido para cumplir con la tolerancia en el error de la frecuencia presentado en las especificaciones eléctricas
- Factores de ensanchamiento altos y tiempos largos de transmisión imponen restricciones mas estrictas en la estabilidad de la frecuencia a corto termino. Por favor póngase en contacto con un representante de Semtech para implementar productos con sensibilidades extremadamente altas.

Para operación en Europa el rango de las tolerancias del cristal aceptable para cada sub-banda del (ERC 70-03) esta dada en la tabla de especificaciones. Para operaciones en Estados Unidos, esta disponible un modo de saltos de frecuencia que automatiza los procesos de ensanchado de espectro LoRa(MR) y salto en frecuencia.

Otra faceta importante del módem LoRa(MR) es su mayor inmunidad a interferencia. El módem LoRa tiene un nivel de rechazo de 20 dB para modulaciones GMSK en el mismo canal. Esta inmunidad a la interferencia permite una coexistencia simple de los sistemas modulados en LoRa(MR) en bandas con un uso espectral alto, o en comunicaciones híbridas en donde se utiliza LoRa(MR) para extender el rango de comunicación cuando sistemas mas viejos fallan en hacerlo.

Diseño del enlace utilizando el módem LoRa(MR)

El módem LoRa(MR) construido como se muestra en la imagen a continuación. Esta configuración permite reemplazar el módem FSK por el módem LoRa usando los registros de configuración RegOpMode. Este cambio puede realizarse en caliente (en modo de operación Sleep) permitiendo el uso de los modos estándar OOK o FSK en conjunto con LoRa. El proceso de modulación y demodulación LoRa es propietario, utiliza una forma de modulación de espectro ensanchado con una codificación de corrección de errores cíclica. La influencia combinada de estos dos factores es un incremento el presupuesto del enlace y en la inmunidad a interferencias.



Una descripción simplificada del proceso de transmisión y recepción es mostrada en la imagen arriba. Aquí se puede observar que el módem LoRa tiene una FIFO de dos puertos independiente que es accedida a través de la interfaz SPI en todos los modos. Cuando se selecciona el modo de operación LoRa, el mapa de registros del SX1276/77/78/79 cambia. Para mayor detalle consultar la descripción de registros en las secciones posteriores

Es posible optimizar la modulación LoRa(MR) para una determinada aplicación, el diseñador puede jugar con tres parámetros críticos. De forma tal que se pueda establecer una relación de pérdida/ganancia entre presupuesto del enlace, inmunidad a la interferencia, ocupación del espectro y velocidad de transmisión. Estos parámetros son: el factor de ensanchamiento (SF), el ancho de banda (BW) y la codificación de error (CR)

El factor de ensanchamiento

La modulación de espectro ensanchado LoRa(MR) es realizada representando cada bit del área de datos como mltiples pedazos de información. La velocidad con la cual la información ensanchada es enviada se denomina Velocidad de símbolo (Symbol Rate o Rs) , la relación entre velocidad de símbolo y la velocidad de los “pedazos” de información se denomina factor de ensanchamiento y representa el numero de símbolos que son enviados por cada bit de información. El rango de valores posibles para el módem LoRa(MR) se muestran a continuación en la siguiente tabla

Factor de Ensanchamiento (RegModulationCfg)	Factor de Ensanchamiento (Pedazos/Símbolos)	Demodulador LoRa Relación Señal Ruido (SNR)
6	64	-5 dB
7	128	-7.5 dB
8	256	-10 dB
9	512	-12.5 dB
10	1024	-15 dB
11	2048	-17.5 dB
12	4096	-20 dB

Notese que el factor de ensanchamiento, SpreadingFactor debe ser conocido con anterioridad tanto en el transmisor como el receptor puesto que diferentes factores de ensanchamiento son ortogonales los unos de los otros. Notese también que la relación señal vs ruido (SNR) que se requiere en la entrada del receptor. Es la capacidad de recibir señales con una relación de señal vs ruido (SNR) negativas la que incrementa la sensibilidad, aumentando así el presupuesto del enlace del receptor LoRa

Factor de ensanchamiento 6

SF=6 Es un caso de uso especial para la mayor velocidad de transmisión posible con el módem LoRa. Para hacer esto múltiples configuraciones del chip SX1276/77/78/79 deben ser configuradas en los registros para su uso . Estas configuraciones solo son validas para SF6 y deben ser dejadas con sus valores por defecto para otros factores de ensanchamiento diferentes:

- Inicializar SpreadingFactor = 6 en el registro RegModemConfig2
- La cabecera deberá ser declarada como modo implícito
- Inicializa el área de bits DetectionOptimize del registro RegLoRaDetectOptimize con el valor "0b101".
- Escribir 0x0C en el registro RegDetectionThreshold.

Codificación de errores

Para mejorar aun mas la robustez del enlace LoRa(TM), el módem emplea una codificación de error cíclica para realizar detección y correcciones de error hacia adelante. Esta codificación del error implica un incremento en los datos transmitidos - la cantidad de datos adicionales resultantes en la transmisión se muestran en la tabla a continuación

Coding Rate Codificación de Error (RegTxCfg1)	Codificación de Error Cíclica	Incremento de datos en la transmisión
1	4/5	1.25
2	4/6	1.50
3	4/7	1.75
4	4/8	2.0

La corrección del error hacia adelante es particularmente eficiente mejorando la con fiabilidad del enlace en la presencia de interferencia. De esta forma la codificación del error (y por lo tanto la robustez a la interferencia) pueden ser cambiadas en respuesta a las condiciones del canal - La codificación del error puede ser opcionalmente incluida en la cabecera del paquete para ser usada por el receptor. Consultar secciones posteriores para mas información sobre el paquete de datos LoRa(MR) y su encabezado.

Ancho de banda de la señal

Un incremento en el ancho de banda permite el uso de una velocidad efectiva de transmisión mas alta, reduciendo el tiempo de transmisión a expensas de reducir la sensibilidad. Hay muchas restricciones regulatorias en la mayoría de los países sobre la ocupación del ancho de banda. Contrario al módem FSK el cual se describe en términos de un simple ancho de banda lateral, el ancho de banda del módem LoRa se refiere al ancho de banda de la doble banda lateral (o el ancho total del canal). El rango de anchos de banda que es relevante a la mayoría de regulaciones se da en la tabla de especificaciones de LoRa(MR) a continuación.

Opciones de ancho de banda LoRa

Ancho de banda	Factor de ensanchamiento	Codificación de error	Velocidad de transmisión
7.8	12	4/5	18
10.4	12	4/5	24
15.6	12	4/5	37
20.8	12	4/5	49
31.1	12	4/5	73
41.7	12	4/5	98
62.5	12	4/5	146
125	12	4/5	293
250	12	4/5	586
500	12	4/5	1172

Nota: En la banda baja (169 MHz), los anchos de banda de 250 Khz y 500 kHz no están soportados

Con un conocimiento de los parámetros importantes que pueden ser manipulados por el usuario se define la velocidad de símbolos LoRa(MR) como:

$$R_x = \frac{BW}{2^{SF}}$$

Donde BW es el ancho de banda programado y SF es el factor de ensanchamiento. La señal transmitida es una señal de envolvente constante. En otras palabras, un “pedazo” de información es enviado cada segundo por cada Hz de ancho de banda.

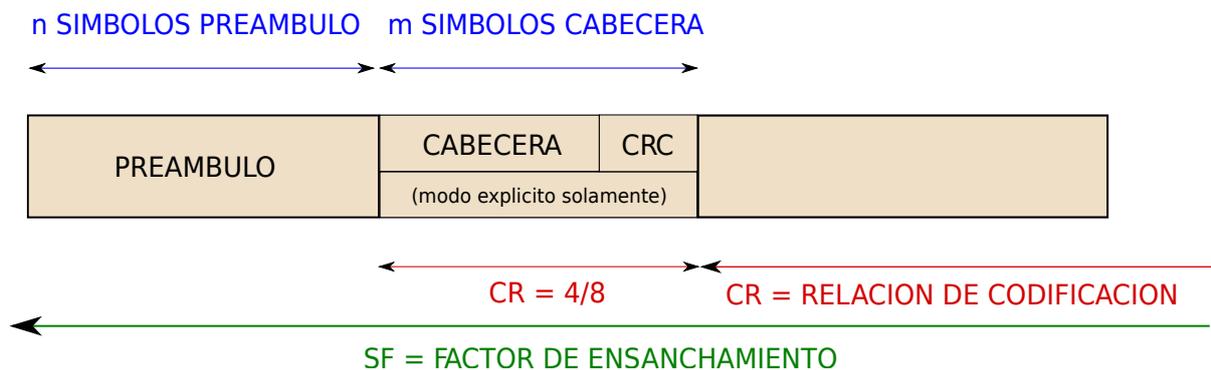
Estructura de paquete LoRa(MR)

El módem LoRa (MR) emplea dos tipos de formato de paquete: explícito e implícito. El modo explícito incluye una cabecera corta

que contiene información acerca del número de bytes, codificación del error y si se usa o no CRC para verificación de errores. El formato del paquete es mostrado a continuación en la siguiente figura

El paquete de datos LoRa(MR) comprende los siguientes elementos:

- Preámbulo
- Cabecera opcional
- El área de datos



Preámbulo

El preámbulo es usado para sincronizar el receptor con con el flujo de datos que esta ingresando. Por defecto el paquete esta configurado con una secuencia de 12 símbolos de longitud. Esta es una variable programable por lo que su longitud puede ser extendida, por ejemplo para reducir el ciclo de trabajo del receptor. Sin embargo la menor longitud es suficiente para todas las comunicaciones. La longitud del preámbulo enviado puede ser cambiado mediante el registro PreambleLength desde 6 a 65535, permitiendo así un total de longitudes de preámbulo de $6+4$ a $65536+4$ símbolos, una vez que es considerado el exceso de información por la longitud del preámbulo.

Esto permite una transmisión de un preámbulo de una longitud arbitrariamente grande

El receptor realiza un proceso de detección de preámbulo que reinicia periódicamente. Por esta razón la longitud de preámbulo debería ser configurada idéntica tanto en el transmisor como en el receptor. Cuando la longitud del preámbulo no se conoce, o puede variar, se recomienda programar el receptor con la mayor longitud de preámbulo posible.

Cabecera

Dependiendo del modo de operación escogido, se encuentran disponibles dos tipos de encabezado. EL tipo es seleccionado mediante el bit ImplicitHeaderModeOn que se encuentra en el registro RegModemConfig1.

Modo Cabecera Explicita

Este es el modo de operación por defecto. Aquí la cabecera proporciona información sobre el área de datos de la siguiente forma:

- Longitud del área de datos en bytes
- El código de corrección de error
- La presencia de código de verificaciones CRC opcional de 16-bits

La cabecera es transmitida con el máximo código de corrección posible (8/4). Esta tiene su propio código de verificación CRC para desechar cabeceras invalidas.

Modo Cabecera Implícita

En algunos escenarios donde el área de datos, la codificación del error y la presencia del CRC son fijas y conocidas previamente, puede ser ventajoso reducir el tiempo de transmisión invocando el modo de cabecera implícita. En este modo la cabecera es removida del paquete. En este caso la longitud del área de datos, la codificación del error y la presencia de CRC deberá ser manualmente configurada tanto en el transmisor como en el receptor

Nota

Con SF=6 seleccionado, el modo de cabecera implícita es el único modo de operación posible.

Modo Cabecera Explícita

En el modo de cabecera explícita, la presencia del CRC al final del área de datos solo se selecciona en el lado del transmisor mediante el bit RxPayloadCrcOn en el registro RegModemConfig1.

En el lado del receptor, el bit RxPayloadCrcOn en el registro RegModemConfig1 no se usa y una vez el área de datos ha sido recibida, el usuario debe revisar el bit CrcOnPayload en el registro RegHopChannel. Si el bit CrcOnPayload esta en “1”, el usuario deberá revisar la bandera IRQ PayloadCrcError para asegurarse que el CRC es valido.

Si el bit CrcOnPayload esta en “0”, significa que el área de datos no lleva CRC por lo tanto la bandera IRQ PayloadCrcError no se debería disparar aun si el área de datos presenta errores.

Cabecera Explícita	Transmisor	Receptor	Estado del CRC
Valor del bit RxPayloadCrcOn	0	0	El CRC no es revisado
	0	1	El CRC no es revisado
	1	0	El CRC se verifica
	1	1	El CRC se verifica

Modo Cabecera Implícita

En el modo cabecera implícita, es necesario configurar el bit RxPayloadCrcOn en el registro RegModemConfig1 en ambos lados de la comunicación (Transmisor y Receptor)

Optimización para velocidades de transmisión bajas

Dada la potencial larga duración de transmisión de un paquete cuando se utilizan factores de ensanchamiento altos, existe una opción para mejorar la robustez de la transmisión debido a variaciones en la frecuencia durante la duración de la transmisión y recepción del paquete. El bit LowDataRateOptimize incrementa la robustez del enlace LoRa en estas velocidades de transmisión bajas, Su uso es obligatorio cuando la duración de un símbolo exceda los 16ms. Hay que tener en cuenta que tanto el transmisor como el receptor deben tener configurado el registro LowDataRateOptimize de la misma forma.

Área de datos

El área de datos del paquete, es un campo de longitud variable que contiene los datos actuales codificados con el error especificado en la cabecera en modo explícito o en su respectivo registro de configuración en modo implícito. Una verificación de error CRC opcional puede ser agregada. Para mayor información del área de datos y como esta es cargada desde el buffer de datos FIFO consultar secciones posteriores.

Tiempo en el aire

Para una determinada combinación de factor de ensanchamiento (SF), codificación de error (CR) y ancho de banda de la señal (BW), el tiempo de transmisión en el aire de un paquete LoRa(MR) puede ser calculado de la siguiente manera. De la definición de velocidad de símbolo es conveniente definirla de la siguiente forma

$$T_s = \frac{1}{R_s}$$

La duración de un paquete LoRa es la suma de la duración del preámbulo y del paquete transmitido. La longitud del preámbulo se calcula de la siguiente forma

$$T_{\text{preambulo}} = (n_{\text{preambulo}} + 4.25) * T_{\text{simbolo}}$$

Donde n preámbulo es la longitud programada del preámbulo tomada de los registros RegPreambleMsb y RegPreambleLsb. La duración del área de datos depende del modo de cabecera configurado. la siguiente formula calcula el numero de símbolos del área de datos:

$$n_{\text{areadatos}} = 8 + \max \left(\text{ceil} \left[\frac{8 * \text{PL} - 4 * \text{SF} + 28 + 16 * \text{CRC} - 20 * \text{IH}}{4 * (\text{SF} - 2 * \text{DE})} \right] * (\text{CR} + 4), 0 \right)$$

Con las siguientes dependencias

- PL es el numero de bytes del área de datos (1 a 255)
- SF es el factor de ensanchamiento (6a 12)
- IH=0 cuando la cabecera esta presente, IH=1 cuando la cabecera no esta habilitada
- DE=1 cuando LowDataRateOptimize=1, DE=0 de cualquier otra forma
- CR es la codificación del error (1 corresponde a 4/5, 4 corresponde a 4/8)

La duración del área de datos es el símbolo del periodo multiplicado por el numero de símbolos del área de datos:

$$T_{\text{areadatos}} = n_{\text{areadatos}} * T_s$$

El tiempo en el aire, o la duración del paquete, es simplemente la suma de las duraciones del preámbulo y área de datos

$$T_{\text{paquete}} = T_{\text{preambulo}} * T_{\text{areadatos}}$$

Interfaz Digital LoRa(MR)

La interfaz digital del módem LoRa(MR) esta compuesta por 3 tipos: registros de configuración estática, registros de estado y buffer de datos FIFO. Todos son accedidos mediante la interfaz SPI del chip SX1276/77/78/79. El listado completo de los registros y sus direcciones se presentan en secciones posteriores

Registros de configuración LoRa(MR)

Los registros de configuración son accedidos mediante la interfaz SPI. Todos los registros se pueden leer en todos los modos de operación incluyendo Sleep. Sin embargo solo deben ser escritos en modo Sleep y en modo Standby. Tenga en cuenta que el secuenciador automático de nivel superior (TLS) no esta disponible en modo LoRa(MR) y el mapeo de los registros de configuración cambia. El contenido de los registros de configuración LoRa(MR) no pierden sus valores cuando se encuentra en modo FSK/OOK. Para el funcionamiento de los registros comunes a ambos modos FSK/OOK y LoRa(TM) consultar la sección de etapa de salida análoga de RF en este documento.

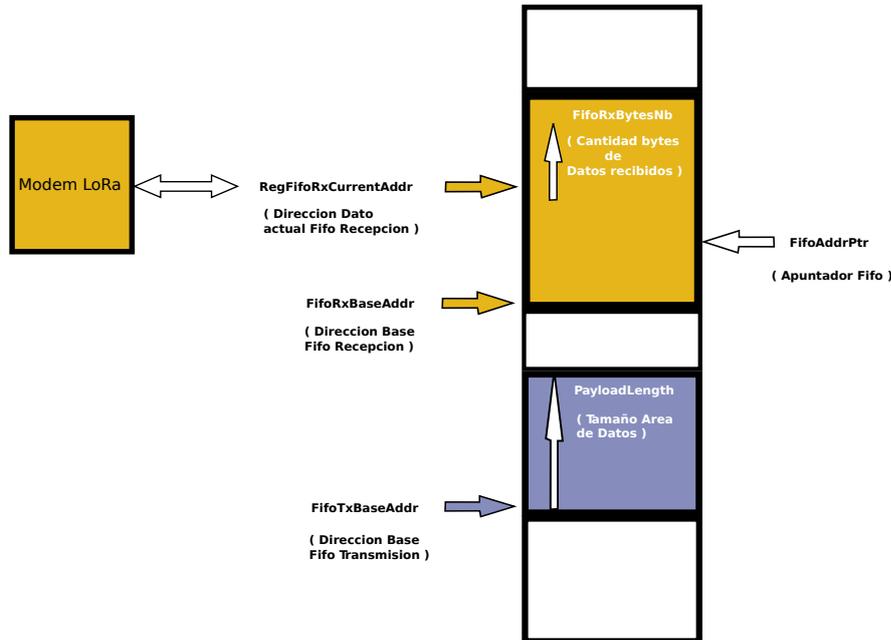
Registros de estado

Los registros de estado dan información durante la operación del receptor

Buffer de datos FIFO en modo LoRa(TM)

Descripción

El chip SX1276/77/78/79 esta equipado con un buffer de 256 bytes de datos en RAM el cual esta únicamente disponible en modo LoRa. Esta área de RAM, denominada buffer de datos FIFO, es totalmente personalizável por el usuario y permite acceder a los datos recibidos o los que se van a transmitir. El acceso al buffer FIFO en modo LoRa se realiza mediante la interfaz SPI. Un diagrama del mapa de memoria definido por el usuario del buffer de datos FIFO se muestra a continuación. Este buffer de datos FIFO puede ser leído en todos los modos de operación excepto en sleep y almacena datos relacionados con la ultima operación de recepción realizada. Se borra automáticamente el contenido viejo en cada nueva transición a modo recepción.



Principio de operación

Gracias a su configuración de puerto doble, es posible almacenar en el buffer de datos FIFO simultáneamente información de transmisión y recepción. El registro RegFifoTxBaseAddr especifica el punto de la memoria donde la información a transmitir es almacenada. De forma similar, para la operación de recepción, el registro RegFifoRxBaseAddr indica el punto en el buffer de datos donde la información deberá ser escrita en caso de un evento de recepción.

Por defecto el dispositivo se configura al encenderse de forma tal que la mitad de la memoria disponible esta dedicada a la recepción (RegFifoRxBaseAddr inicializado en la dirección 0x00) y la otra mitad esta dedicada a la transmisión (RegFifoTxBaseAddr inicializada en la dirección 0x80)

Sin embargo, debido a la naturaleza contigua del área de datos FIFO, la dirección base para transmisión y recepción son totalmente configurables en el espacio de los 256 bytes de memoria. Cada apuntador puede estar independientemente en cualquier lugar de la FIFO. Para aprovechar el máximo espacio de la FIFO en transmisión o recepción, la FIFO completa puede ser usada en cada modo, configurando el registro RegFifoTxBaseAddr y RegFifoRxBaseAddr en el fondo de la memoria (0x00)

El buffer de datos FIFO es borrado cuando el dispositivo se pone en modo SLEEP, de forma tal que no es posible acceder a ella en modo SLEEP. Sin embargo los datos en el buffer FIFO son retenidos cuando se cambia entre los demás diferentes modos, de forma tal que un paquete recibido puede ser retransmitido con un mínimo esfuerzo por parte del microcontrolador. El buffer de datos FIFO no se borra automáticamente (a menos que sea puesto en modo SLEEP) y los datos solo pueden ser “borrados” cuando un nuevo conjunto de datos es escrito encima de una posición de memoria ocupada.

La dirección mediante la cual el buffer de datos FIFO sera leído o escrito mediante la interfaz SPI es definido mediante el apuntador de memoria RegFifoAddrPtr. Antes de cualquier operación de lectura o escritura es necesario inicializar dicho apuntador al correspondiente valor base. En cada ciclo de lectura o escritura al buffer de datos FIFO (RegFifo) la dirección de memoria del apuntador se incrementara automáticamente.

El registro RegRxNbBytes define el tamaño del área de datos escrita en el evento de una operación de recepción exitosa. El registro RegPayloadLength indica el tamaño del área de datos que serán transmitidos. En el modo de cabecera implícita, el registro RegRxNbBytes no se usa puesto que el tamaño del área de datos se supone conocida. De otra forma, en modo de cabecera explicita, el valor inicial del buffer de recepción se configura del tamaño del paquete en la cabecera recibida. El registro RegFifoRxCurrAddr indica la ubicación del ultimo paquete recibido en la FIFO, de forma tal que el ultimo paquete puede ser fácilmente leído apuntando el registro RegFifoAddrPtr al mencionado.

Es importante aclarar que todos los datos recibidos son escritos en la FIFO aun si la verificación de error CRC es invalida, permitiendo que el usuario pueda intentar algún tipo de post procesamiento de datos en la información corrupta. Es importante aclarar que en modo recepción, si el tamaño del paquete excede la capacidad del buffer configurada para recepción, este sobrescribirá la porción de memoria configurada para la transmisión.

Interrupciones en modo LoRa(MR)

Dos registros se emplean para el control de IRQ en modo LoRa(MR), el registro RegIrqFlagsMask el cual es usado para enmascarar las interrupciones, y el registro RegIrqFlags que indica cual IRQ se disparo. En el registro RegIrqFlagsMask, al poner un bit en “1” se enmascara la respectiva interrupción, esto significa que esta desactivada. Por defecto todas las interrupciones se encuentran habilitadas. En el registro RegIrqFlags, un “1” significa que dicha IRQ se ha disparado y que deberá ser limpiada escribiendo un “1”

Operación del módem LoRa(MR)

Los diferentes modos de operación del módem LoRa son accedidos habilitando el modo LoRa (configurando el bit LongRangeMode del registro RegOpMode). Dependiendo del modo escogido la funcionalidad del registro y el modo de acceso varían según la siguiente tabla

Modo de operación	Descripción
SLEEP	Modo de bajo consumo. En este modo solo la interfaz SPI y los registros de configuración son accesibles. El buffer de datos FIFO no es accesible. Nota: Este es el único modo permitido para cambiar entre modos FSK/OOK a LoRa
STANDBY	Tanto el oscilador de cristal como los bloques de banda base de LoRa están encendidos. Los bloques de PLL y RF están deshabilitados
FSTX	Este es un modo de síntesis de frecuencia para transmisión. El PLL seleccionado para transmisión esta enganchado y activo en la frecuencia de transmisión. El bloque de RF esta apagado
FSRX	Este es un modo de síntesis de frecuencia para recepción. El PLL seleccionado para recepción esta enganchado y activo en la frecuencia de recepción. El bloque de RF esta apagado
TX	Cuando se activa este modo el chip SX1276/77/78/79 enciende los demás bloques requeridos para transmitir, alimenta el amplificador de potencia de RF, transmite el paquete y regresa a modo Standby
RXCONTINUOS	Cuando se activa este modo el chip SX1276/77/78/79 enciende los demás bloques requeridos para recepción, procesa todos los datos recibidos hasta que el usuario le envíe alguna petición para cambiar a otro modo
RXSINGLE	Cuando se activa este modo el chip SX1276/77/78/79 enciende los demás bloques requeridos para recepción y permanece en este estado hasta que se reciba un paquete valido y luego retorna al modo Standby
CAD	En este modo, el dispositivo verifica un canal determinado para detectar la presencia de una señal de preámbulo LoRa

Es posible cambiar entre los distintos modos cambiando el valor en el registro RegOpMode

Configuración de la frecuencia

Cada paso de frecuencia esta dado por

$$F_{\text{paso}} = \frac{F_{\text{XOSC}}}{2^{19}}$$

Para configurar la frecuencia del oscilador local (LO) se dispone de los siguientes registros. Frf es un registro de 24 bits que define la frecuencia de la portadora. La frecuencia de la portadora esta relacionada con el valor del registro mediante la siguiente formula:

$$F_{\text{RF}} = F_{\text{PASO}} * \text{Frf}(23, 0)$$

Indicación de error en la frecuencia

El chip SX1276/77/78/79 deriva la frecuencia central de RF del oscilador de cristal, el cual tiene una precisión finita. Errores en la frecuencia de referencia se manifestaran como errores en la misma proporción del la frecuencia central de RF

En modo de recepción LoRa el SX1276/77/78/79 es capaz de medir la desviación de frecuencia entre la señal programada y la señal recibida. El módem es intolerante a desviaciones de frecuencia de +/- 25% del ancho de banda y reportara el error con precisión dentro del mismo rango. Este error se obtiene mediante la lectura de los tres registros Regí. El contenido de dichos registros es una palabra de 20 bits con signo en complemento a 2 llamada FreqError. El error en la frecuencia esta determinado por el contenido de los registros de la siguiente forma

$$F_{\text{ERROR}} = \frac{\text{FreqError} * 2^{24}}{F_{\text{XTAL}}} * \frac{\text{BW}[\text{kHz}]}{500}$$

Donde Fxtal es la frecuencia del cristal

Para corregir el error medido hay dos pasos a tener en cuenta. Primero el error en la frecuencia se resta de la frecuencia central de RF. Este calculo debe ser hecho localmente por el microcontrolador (o mediante una tabla de look-up), puesto que no hay un circuito automático que aplique la corrección

Segundo, asumiendo que el error en la frecuencia se debe a desviación del oscilador, la velocidad de transmisión de datos del módem LoRa también debe ser compensada. Esto se hace mediante

$$\text{PpmDesviacion} = 0.95 * \text{desviación medida}[\text{PPM}]$$

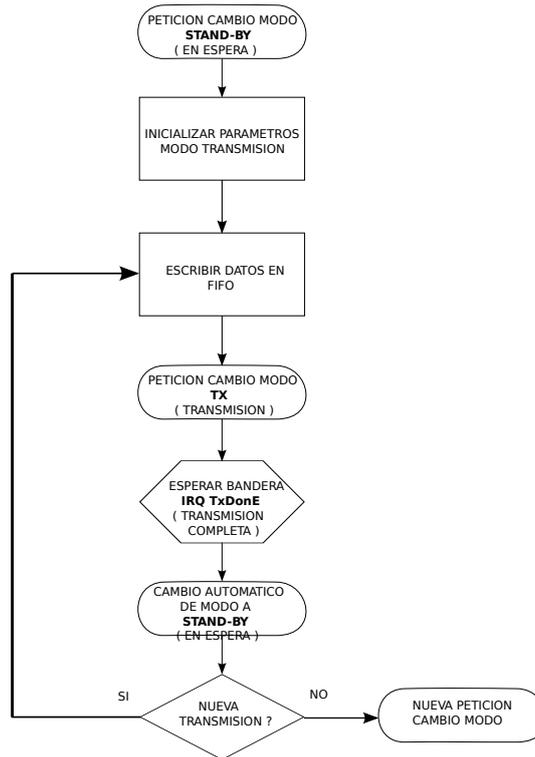
Donde PpmDesviacion es valor que sera programado en el registro 0x27 y desviación medida es la desviación PPM equivalente al error en la frecuencia reportado por el indicador de error de LoRa. el valor PpmDesviacion es un valor signado en complemento a 2.

Secuencias de la maquina de estados del módem LoRa(MR)

La secuencia de transmisión y recepción de datos desde y hacia el módem LoRa(MR), en conjunto con el diagrama de flujo de las secuencias típicas de operación se detallan a continuación

Secuencia de transmisión de datos

En modo de transmisión, el consumo se puede optimizar habilitando el bloque de RF, el PLL y el amplificador de potencia únicamente cuando el paquete necesita ser transmitido. La figura a continuación muestra una secuencia de transmisión LoRa(MR) típica.



- Los registros de configuración estáticos solo pueden ser accedidos en modo Sleep, Standby o FSTX
- La FIFO del módem LoRa solo puede ser llenada en modo Standby
- La transmisión de datos se inicia enviando una petición de modo TX.
- Una vez la transmisión se realiza, la bandera de interrupción TxDone se dispara y el radio regresa a modo Standby
- Una vez realizada la transmisión el radio puede ser puesto manualmente en modo Sleep o la FIFO rellenada para una nueva operación de transmisión

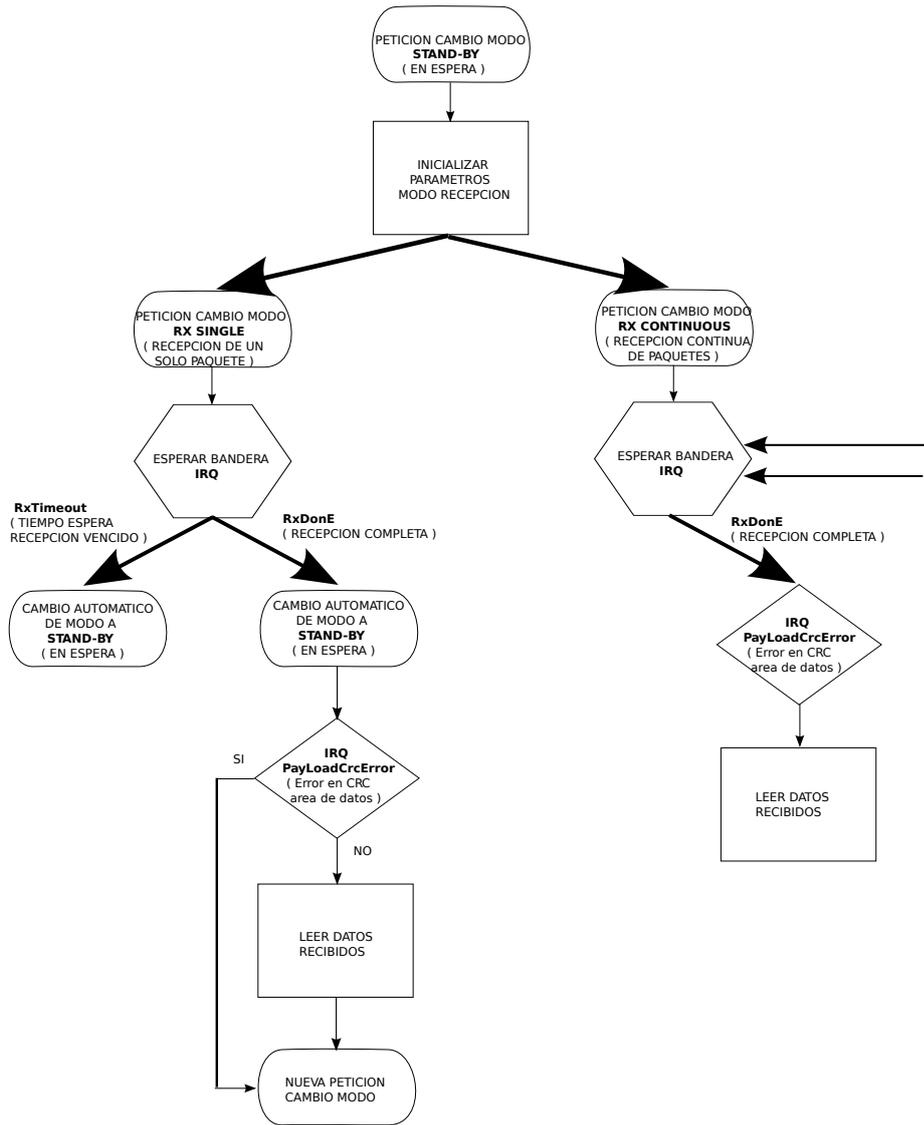
Llenado de la FIFO de datos del módem LoRa(MR) para transmisión

Para transmitir un paquete de datos el usuario deberá

1. Apuntar FifoPtrAddr a FifoTxPtrBase
2. Escribir PayloadLength bytes a la FIFO (RegFifo)

Secuencia de recepción de datos

La siguiente figura muestra las secuencias típicas de recepción de datos LoRa(MR) para los modos de operación simple o continuo.



El módem de recepción LoRa puede trabajar en dos diferentes modos

1. Modo único paquete
2. Modo continuo

Estos dos modos corresponden a diferentes casos de uso, es importante comprender las diferencias que hay entre ellos.

Modo de operación recepción único paquete

En este modo, el módem busca un preámbulo durante un determinado periodo de tiempo. Si el preámbulo no es encontrado al final de la ventana de tiempo, el chip generara la interrupción RxTimeout y regresara a modo Standby. La longitud de la ventana de recepción (en símbolos) es definida el registro RegSymbTimeout y debe estar en el rango de 4 (tiempo mínimo que el módem necesita para detectar un preámbulo) a 1023 símbolos

Al final del área de datos, la interrupción RxDone se genera en conjunto con la interrupción PayloadCrcError si el CRC de los datos no es valido. Sin embargo aunque el CRC sea invalido los datos que se logren recibir se escribirán en la FIFO para un post-procesamiento.

Después de generar la interrupción RxDone el radio se va al modo Standby

El módem también regresara a modo Standby cuando la interrupción RxDone se genera. De todas formas este modo solo debe ser utilizado cuando la ventana de tiempo de llegada del paquete es conocida. En otro caso se deberá utilizar el modo de recepción continuo

En modo de recepción único paquete, el bajo consumo se logra apagando el PLL y los bloques de RF tan pronto como el paquete es recibido. El flujo es el siguiente

- 1 Apuntar FifoAddrPtr a FifoRxBaseAddr
- 2 El registro de configuración estático puede ser escrito en modo Sleep, Standby
FSRX
- 3 Una operación única de recepción de paquete se inicia seleccionando el modo de operación RXSINGLE
- 4 El receptor esperara por un preámbulo valido. Una vez recibido la ganancia de la cadena de circuitos de recepción es establecida.
A continuación una vez verificada la recepción de una cabecera valida, indicada por la interrupción Validable en modo explicita, la recepción del paquete empieza. Una vez se completa el proceso de recepción del paquete, la interrupción RxDone se dispara. El radio retorna automáticamente a modo Standby para reducir el consumo de potencia.
- 5 El registro de estado de recepción PayloadCrcError debe ser revisado para verificar la integridad del paquete
6. Si el área de datos recibida es valida, entonces la FIFO deberá ser leída (ver Extracción de datos a continuación). Si se requiere una nueva recepción de un único paquete, entonces el modo de operación RXSINGLE deberá ser rae-seleccionado para iniciar el proceso una vez mas - tener cuidado de reiniciar el apuntador SPI (FifoAddrPtr) en la ubicación base de la memoria (FifoRxBaseAddr)

Modo de operación recepción continuo

En modo de recepción continuo, el módem barre el canal continuamente en busca de un preámbulo. Cada que un preámbulo es detectado el módem lo sigue hasta que el paquete es recibido y luego continua la búsqueda del siguiente preámbulo.

Si la longitud del preámbulo excede el valor anticipado configurado en el registro RegPreambleMsb y RegPreambleLsb (medido en periodos de símbolos)

el preámbulo será descartado y la búsqueda del preámbulo se reiniciará. Sin embargo en este escenario ninguna interrupción se disparará. En modo de recepción continuo, a diferencia del modo de recepción de un solo paquete, la interrupción RxTimeout nunca ocurrirá y el dispositivo no entrará en modo Standby de forma automática

Es importante recordar también que los bytes demodulados son escritos al buffer FIFO en el orden de recepción. Esto significa que el primer byte de un paquete nuevo se escribe justo después del último byte del paquete anterior. El apuntador de recepción del módem nunca se reinicia mientras este modo está habilitado. Es tarea del microcontrolador que se conectará al chip que maneje el apuntador del buffer de FIFO para que nunca se llene.

En modo continuo la secuencia de procesamiento del paquete recibido es la siguiente

- 1 Mientras se encuentre en modo Sleep o Standby, seleccionar el modo RXCONT
- 2 Cuando se reciba CRC válido de un encabezado la interrupción RxDone se disparará. El radio permanecerá en modo RXCONT esperando al siguiente paquete LoRa
- 3 La bandera PayloadCrcError deberá ser verificada para establecer la integridad del paquete
- 4 Si el paquete se recibió correctamente el buffer de datos FIFO puede ser leído (ver más abajo)
- 5 El proceso de recepción (pasos 2-4) pueden ser repetidos, o el modo de operación puede ser finalizado según se necesite

En modo continuo la información del estado solo está disponible para el último paquete recibido, esto significa que los registros respectivos deberán ser leídos antes que un nuevo paquete arribe.

Casos de uso de modos de recepción única y continua

El modo de recepción LoRa de único paquete es usado principalmente en sistemas operados por baterías o en sistemas que el microcontrolador acoplado tiene una limitada disponibilidad de temporizadores. En dichos sistemas el uso del temporizador permite al usuario limitar la cantidad de tiempo empleada en la recepción (y por lo tanto limitar el consumo de potencia) sin requerir la intervención de los temporizadores del microcontrolador acoplado (el microcontrolador puede estar en modo sleep mientras el radio está en modo recepción). La interrupción RxTimeout que se genera al finalizar el periodo de recepción es usada para despertar el microcontrolador acoplado. Una de las ventajas del modo de recepción único es que la interrupción RxTimeout no se dispara si el dispositivo se encuentra en mitad del proceso de recepción, dándole prioridad a la recepción de datos sobre el temporizador. Sin embargo si durante la recepción, el dispositivo pierde la pista de los datos que está recibiendo debido a perturbaciones externas, este desecha la recepción, dispara la interrupción RxTimeout y se va a modo Standby para disminuir el consumo de potencia del sistema

Por otra parte, el modo de recepción continua LoRa es usado en sistemas que no tienen restricción de potencia o en sistemas donde se prefiere el uso del temporizador del microcontrolador acoplado sobre el temporizador embebido en el radio. En modo recepción continuo, el radio seguirá cualquier señal LoRa presente en el aire y recibirá los paquetes hasta que el microcontrolador acoplado ponga el módem en otro modo de operación. Al finalizar la recepción la interrupción RxDone se dispara pero el dispositivo continuará en modo recepción, listo para recibir el próximo paquete

Extracción del área de datos desde la FIFO

Para extraer los datos recibidos desde la FIFO el usuario deberá asegurarse que las interrupciones ValidHeader, PayloadCrcError, RxDone y RxTimeout en el registro de estado no estén disparadas para asegurarse que la recepción del paquete ha finalizado exitosamente (ninguna bandera debería estar levantada)

En caso de errores los siguientes pasos deberán ser saltados y el paquete descartado. Para sacar los datos válidos de la FIFO el usuario debe:

- RegRxNbBytes Indica el número de bytes que se han recibido hasta el momento
- RegFifoAddrPtr es un apuntador dinámico que indica precisamente donde los datos del módem LoRa han sido escritos
- Apuntar RegFifoAddrPtr a RegFifoRxCurrentAddr. Esto configura el apuntador de la FIFO a la ubicación del último paquete recibido en FIFO. El área de datos puede ser extraída leyendo el registro RegFifo, RegRxNbBytes veces

-
- De forma alterna es posible apuntar manualmente a la ubicación del último paquete recibido desde el inicio del paquete actual apuntando `RegFifoAddrPtr` a `RegFifoRxByte` menos `RegRxNbBytes`. El área de datos puede ser leída desde la FIFO leyendo la dirección `RegFifo` `RegRxNbBytes` veces.

Operación del temporizador de recepción

En el modo de operación LoRa(MR) paquete único, esta disponible una funcionalidad de temporizador de recepción que permite que el receptor escuche por un periodo de tiempo predeterminado antes de generar una señal de interrupción que indica que no se recibieron paquetes válidos. El temporizador es absoluto y empieza a correr tan pronto como el radio se pone en modo de recepción paquete único. La interrupción en sí misma `RxTimeout` puede ser encontrada en el registro de interrupciones `RegIrqFlags`. En modo de recepción de paquete único, el dispositivo retornará a modo Standby tan pronto la interrupción ocurra. El usuario deberá limpiar la interrupción o poner el módem en modo Sleep antes de regresar de nuevo al modo de recepción de paquete único. El valor del temporizador está expresado como múltiplo del período de símbolo de la siguiente forma:

$$\text{Temporizador} = \text{LoraRxTimeout} * T_s$$

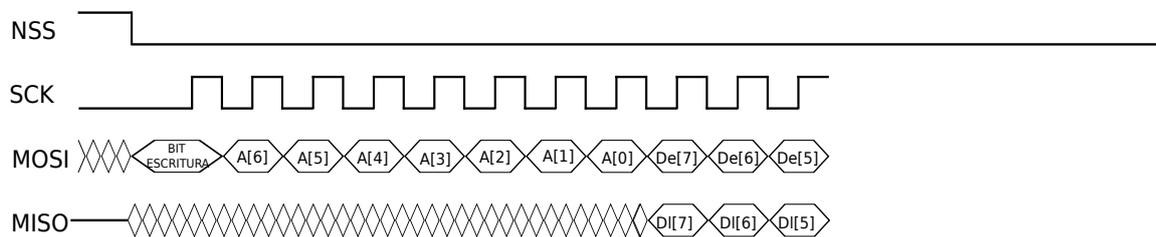
INTERFAZ SPI

La interfaz SPI permite acceder a los registros de configuración usando un protocolo síncrono dúplex-completo correspondiendo con CPOL = 0 y CPHA = 0 en la nomenclatura Motorola/Freescale. Solamente la porción del esclavo esta implementada

Existen tres modos de acceso a los registros:

- * UNICO: Un byte de dirección seguido por un byte de datos es enviado para un acceso de escritura mientras que un byte de dirección es enviado y un byte de datos es recibido para un acceso de lectura. El pin NSS se pone en bajo al inicio de la trama y se pone alto después del byte de datos
- * RAFAGA: Un byte de dirección es seguido por varios bytes de datos. La dirección se incrementa automáticamente de forma interna después de cada byte. Este modo esta disponible tanto para acceso de lectura como para escritura. El pin NSS se pone en nivel bajo al inicio de la trama y permanece en bajo en cada byte. Se pone en nivel alto solamente después de la transferencia del ultimo byte.
- * FIFO: Si el byte de dirección corresponde a la dirección de la FIFO, entonces los datos siguientes estarán orientados a la FIFO. La dirección no se incrementa automáticamente, pero es memorizada y no necesita ser enviada entre cada dato. El pin NSS se pone en nivel bajo al comienzo de la trama y permanece en nivel bajo con cada byte. Se pone en nivel alto solamente al finalizar la transferencia del ultimo byte

La figura a continuación muestra un típico acceso a un registro SPI



La señal MOSI es generada por el maestro en el flanco descendente de SCK y es muestreada por el esclavo en el flanco ascendente de SCK. La señal MISO es generada por el esclavo en el flanco descendente de SCK

Una transferencia siempre se inicia poniendo el pin NSS en bajo. MISO esta en alta impedancia cuando NSS esta en alto

El primer byte, es el byte de dirección y comprende

- El bit wnr, el cual vale 1 para acceso de escritura y 0 para acceso de lectura
- A continuación 7 bits de la dirección. Bit mas significativo (MSB) primero

El segundo byte es un byte de datos, ya sea enviado en el MOSI por el maestro en caso de un acceso de escritura o recibido por el maestro en el MISO en caso de un acceso de lectura. El byte de datos es transmitido bit mas significativo (MSB) primero

Los bytes que siguen pueden ser enviados en el MOSI (para acceso de escritura) o recibidos en MISO (para acceso de lectura) sin un flanco de subida en NSS ni re-envío de la dirección. En modo FIFO, si la dirección es la dirección de la FIFO, entonces los bytes serán escritos/leídos desde la dirección de la FIFO. En modo ráfaga, si la dirección no es la de la FIFO, entonces automáticamente se incrementara con cada nuevo byte recibido

La trama finaliza cuando el NSS se pone en estado alto. La siguiente trama debe iniciar con un byte de dirección. El modo de acceso UNICO es un caso especial de modos FIFO/RAFAGA con un solo byte de datos

transferidos. Durante el acceso de escritura, el byte transferido por el esclavo al maestro en la línea MISO es el valor que había en el registro antes de la operación de escritura..

Oscilador de Cristal

El oscilador de cristal es la principal referencia de tiempo del chip SX1276/77/78/79. Es usado como referencia para los PLL sintetizadores de frecuencia y como señal de reloj para todo el procesamiento digital. El tiempo de arranque del oscilador, TS_OSC, depende de las características eléctricas del cristal utilizado. El cristal se conecta al oscilador Pierce en los pines XTA y XTB. El SX1276/77/78/79 optimiza el tiempo de arranque y automáticamente dispara el PLL cuando la señal de oscilación es estable. Opcionalmente una señal de reloj externa puede ser usada para reemplazar el oscilador de cristal. Usualmente esta señal proviene de un oscilador de cristal de tolerancia estrecha compensado en temperatura (TCXO). Cuando se usa una fuente de reloj externa, el bit TcxoInputOn en el registro RegTcxo debe ser puesto en 1 y la señal de reloj externa entregada en el pin XTA. El pin XTB debe ser dejado al aire. La amplitud pico-pico de la señal de entrada nunca debe superar 1.8 V. Por favor consultar la hoja de características del TCXO usado para hallar el valor apropiado del condensador de desacople.

Salida CLKOUT

La frecuencia de referencia, o una fracción de ella puede ser entregada en el pin DIO5 modificándolos bits ClkOut en el registro RegDioMapping2. Dos típicas aplicaciones de esta configuración pueden ser:

- * Proporcionar una salida de reloj para un microcontrolador acoplado, ahorrando el costo de un oscilador adicional. CLKOUT esta disponible en cualquier modo, excepto en Sleep y esta automáticamente habilitada al encenderse el chip.
- * Para proporcionar una salida de referencia del oscilador. Medir la señal CLKOUT habilita ajustes simples en software para corregir tolerancias el cristal.

Nota: Para minimizar el consumo de corriente del SX1276/77/78/79, por favor asegúrese que CLKOUT este deshabilitada cuando no se requiera.

PLL

El oscilador local del SX1276/77/78/79 se deriva de dos PLL N-fraccionales prácticamente idénticos que están referenciados al oscilador de cristal. Ambos PLL tienen anchos de banda configurables donde se puede seleccionar uno de cuatro valores programados. El PLL del SX1276/77/78/79 usa un modulador delta-sigma de 19 bits cuya resolución de frecuencia es constante en todo el rango de frecuencias y esta dada por:

$$F_{\text{paso}} = \frac{F_{\text{XOSC}}}{2^{19}}$$

La frecuencia de la portadora se programa mediante RegFrf, el cual se extiende en las áreas de 0x06 a 0x08.

$$F_{\text{RF}} = F_{\text{PASO}} * \text{Frf}(23, 0)$$

Nota: La configuración de Frf esta dividida en 3 bytes consecutivos. un cambio en la frecuencia central solo sera tenido en cuenta cuando el byte menos significativo (FrfLsb) en el registro RegFrfLsb sea escrito. Esto permite la posibilidad de generación de un FSK m-ario en velocidades de transmisión muy bajas. Esto es posible cuando la modulación en frecuencia se logra por programación directa de la frecuencia central de RF. para habilitar esta funcionalidad se debe poner en 1 el bit FastHopOn del registro RegPllHop.

Existen tres bandas de frecuencia definidas de la siguiente forma:

Nombre	Limites de frecuencia	Producto
Banda 1 (HF)	862 (*779)-1020 (*960) MHz	SX1276/77/79
Banda 2 (LF)	410-525 (*480) MHz	SX1276/77/78/79
Banda 3 (LF)	137-175 (*160) MHz	SX1276/77/78/79

* Para SX1279

Oscilador RC

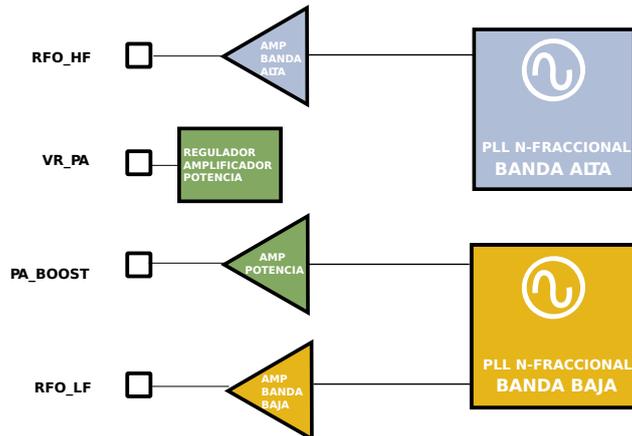
El reloj de todas las operaciones en modo bajo consumo Sleep se basan en un oscilador RC interno de bajo consumo. Este oscilador se calibra automáticamente al encenderse el chip y no requiere ninguna intervención del usuario.

Descripción del transmisor

El transmisor del SX1276/77/78/79 esta conformado por el sintetizador de frecuencia, modulador (LoRa(MR) y FSK/OOK) y bloques de amplificación de potencia RF, junto con la polarización DC que es proporcionada por el bloque VR_PA.

Descripción de la arquitectura

La arquitectura de la etapa de salida de RF es presentada en el siguiente diagrama.



Amplificadores de potencia de RF

PA_HF y PA-LF son amplificadores de alta eficiencia capaces de entregar potencia en pasos programables de 1dB desde -4 hasta +14dBm directamente a una carga de 50 ohm con bajo consumo de corriente. PA_LF cubre las bandas bajas (hasta 525 MHz), mientras que PA_HF cubre las bandas superiores (desde 779 MHz). La potencia de salida es sensible al voltaje de alimentación y su desempeño típico esta expresado a 3.3V

PA_HP (Alta Potencia), conectado al pin PA_BOOST, cubre todas las bandas de frecuencia que el chip puede generar. Permite una operación continua de hasta +17dBm y operaciones intermitentes de hasta +20dBm

Tabla de verdad para selección del modo de amplificación de potencia

PaSelect	Modo	Rango de Potencia	Formula Pout
0	PA_HF o PA_LF en pin RFO_HF o en pin RFO_LF	-4 a +15dBm	$P_{out}=P_{max}-(15-OutputPower)$ $P_{max}=10.8+0.6*MaxPower$ [dBm]
1	PA_HP en pin PA_BOOST, cualquier frecuencia	+2 a +17dBm	$P_{out} = 17-(15-OutputPower)$ [dBm]

Notas:

- Para restricciones en la operación a +20dBm consultar lo siguiente
- Para asegurar la correcta operación en los niveles de potencia mas altos, asegúrese que el limitador de potencia OcpTrim este ajustado de forma tal que permita proporcionar la corriente necesaria que se requiere
- Si el pin PA_BOOST no se usa, se puede dejar al aire

Operación en alta potencia +20dBm

El chip SX1276/77/78/79 tiene una salida de alta potencia de +20 dBm en el pin PA_BOOST con la siguiente configuración:

Configuración de alta potencia

Registro	Dirección	Valor para alta potencia	Valor por defecto PA_HF/ LF o +17dBm	Descripción
RegPacDac	0x4D	0x87	0x84	Configurar Pmax a +20dBm para PA-HP

Notas

- Las configuración de alta potencia deben ser apagadas cuando se usa PA_LF o PA_HF
- El limite de protección de sobre corriente debe ser adaptado a la potencia actual en RegOcp

Los límites de operación máximos específicos y restricciones de operación aplican para +20dBm. se muestran en las siguientes tablas

Rango de operación +20dBm

Símbolo	Descripción	Min	Max	Unidad
DC_20dBm	Ciclo de trabajo de transmisión en +20dBm de salida	-	1	%
VSWR_20dBm	Máxima razón de onda estacionaria (VSWR) en la salida de antena en +20dBm de salida	-	3:1	-

Rango de operación +20dBm

Símbolo	Descripción	Min	Max	Unidad
VDDop_20dBm	Voltaje de alimentación +20dBm de salida	2.4	3.7	V

El ciclo de transmisión a +20dBm esta limitado al 1%, con una máxima razón de onda estacionaria (VSWR) de 3:1 en la salida de la antena en el rango de operación estándar de [-40 a +85°C]

Protección de Sobre corriente

Los amplificadores de potencia del SX1276/77/78/79 están protegidos contra sobre corriente en condiciones adversas de carga RF por el bloque de protección de sobre corriente. Esto conlleva al beneficio añadido de proteger la química de las baterías con picos limitados de corriente y minimizando el peor caso de consumo de amplificador de potencia para el calculo de la vida útil de la batería. El limitador de corriente esta controlado por los bits OcpTrim en el registro RegOcp, y se calcula dependiendo de las siguientes formulas

OcpTrim	Imax	Imax formula
0 a 15	45 a 120 mA	$45 + 5 * \text{OcpTrim}$ [mA]
16 a 27	130 a 240 mA	$-30 + 10 * \text{OcpTrim}$ [mA]
27+	240 mA	240 mA

Nota:

Imax establece un limite en el consumo de corriente del amplificador de potencia de RF solamente, así que el máximo consumo de corriente del SX1276/77/78/79 es igual a Imax+IDDFS

Descripción del Receptor

Resumen

El chip SX1276/77/78/79 incorpora un receptor digital, cuyo proceso de conversión análoga a digital es realizada directamente después de los bloques de amplificación de bajo ruido (LNA) y mezclado. Además del esquema de modulación LoRa(MR) el receptor de baja frecuencia intermedia (IF) esta en la capacidad de demodular ASK, OOK, (G)FSK, y (G)MSK. Todo el filtrado, demodularon, control de ganancia, sincronización y manejo de paquete es realizado digitalmente permitiendo un alto grado flexibilidad en la programación. El receptor cuenta con calibración automática de ganancia, esto mejora la precisión en la medición de la potencia de la señal recibida (RSSI) y mejora el rechazo de frecuencias imagen.

Receptor habilitado y estados activos del receptor

En el modo de operación del receptor se definen dos estados de funcionamiento. Desde la transición inicial al modo de recepción, este se encuentra en estado “receptor-habilitado”. En este estado el receptor espera por un preámbulo valido o por un criterio de potencia de señal recibida. Una vez cumplido cualquiera de estos dos , el receptor entra en estado “receptor-activo”. En este segundo estado la señal recibida es procesada por el manejador de paquetes y el secuenciador de alto nivel

Indicador de potencia de señal recibida (RSSI) y relación señal ruido (SNR) en modo LoRa(MR)

Los valores de potencia de señal recibida (RSSI) reportados por el módem LoRa(MR) difieren de los expresados en modo FSK/OOK. La siguiente formula muestra el método usado para interpretar los valores RSSI en modo LoRa(MR)

$$\text{RSSI (dBm)} = -157 + \text{Rssi, (Usando la salida de alta frecuencia (HF))}$$

$$\text{RSSI (dBm)} = -164 + \text{Rssi, (usando la salida de baja frecuencia (LF))}$$

La misma formula puede ser reusada para evaluar la potencia de la señal del paquete recibido:

$$\text{Potencia Paquete (dBm)} = -157 + \text{Rssi, (Usando la salida de alta frecuencia (HF))}$$

$$\text{Potencia Paquete (dBm)} = -164 + \text{Rssi, (Usando la salida de baja frecuencia (LF))}$$

Debido a la naturaleza de la modulación LoRa, es posible recibir paquete debajo del nivel de ruido de fondo. En esta situación, la relación señal ruido (SNR) es usada en conjunto con PacketRssi para calcular la potencia de la señal del paquete recibido:

$$\text{Potencia Paquete (dBm)} = -157 + \text{PacketRssi} + \text{PacketSnr} * 0.25 \text{ (Usando la salida de alta frecuencia (HF) y } \text{SNR} < 0)$$

$$\text{Potencia Paquete (dBm)} = -164 + \text{PacketRssi} + \text{PacketSnr} * 0.25 \text{ (Usando la salida de baja frecuencia (LF) y } \text{SNR} < 0)$$

Nota:

1. PacketRssi (en el registro RegPktRssiValue), es una versión promediada del Rssi (en el registro RegRssiValue). El Rssi puede ser leído en cualquier momento (durante la recepción del paquete o no), y debería ser promediada para obtener resultados mas precisos
2. Las constantes -157 y -164 pueden variar dependiendo de la configuración de la etapa de salida de RF del SX1276/77/78/79 (LnaBoost=1 o 0, presencia de un amplificador externo, malos acoples en la entrada ...). Se recomienda ajustar estos valores mediante un procedimiento de un solo punto para incrementar la exactitud del RSSI.
3. Cuando la intensidad de la señal se incrementa (RSSI>-100dBm), la linealidad de PacketRssi no se garantiza y los resultados pueden divergir de la curva ideal 1dB/dB. Cuando se requiere muy buena precisión del RSSI sobre todo el rango dinámico del receptos se proponen dos opciones: - Rssi en RegRssiValue ofrece mejor linealidad. Rssi puede ser muestreado durante la recepción del área de datos (entre ValidHeader y RxDone IRQ) y usada para extraer una mejor medición de RSSI. - Cuando SNR>=0, la formula estándar puede ser ajustada para la envolvente correcta: $RSSI = -157 + 16/15 * PacketRssi$ (o $RSSI = -165 + 16/15 * PacketRssi$)

Descripción de los registros

El mapa de registros depende del modo seleccionado FSK/OOK o LoRa(MR) que ha sido elegido. La siguiente tabla resume la ubicación y la función de cada registro y muestra un panorama de los cambios en el mapeo entre ambos modos de operación

Dirección	Nombre Registro		Reset (POR)	Defecto (FSK)	Descripción	
	FSK/OOK	LoRa(MR)			FSK	LoRa(MR)
0x00	RegFifo		0x00		Acceso lectura/escritura a FIFO	
0x01	RegOpMode		0x01		Selección modo operación LoRa(MR) / FSK	
0x02	RegBitrateMsb	No usado			Velocidad de transmisión, Bits mas significativos	
0x03	RegBitrateLsb		0x0B		Velocidad de transmisión, Bits menos significativos	
0x04	RegFdevMsb		0x00		Configuración desviación de frecuencia, Bits mas significativos	
0x05	RegFdevLsb		0x52		Configuración desviación de frecuencia, Bits menos significativos	
0x06	RegFrfMsb		0x6C		Frecuencia de portadora RF, Bits mas significativos	
0x07	RegFrfMid		0x80		Frecuencia de portadora RF, Bits intermedios	
0x08	RegFrfLsb		0x00		Frecuencia de portadora RF, Bits mas significativos	
0x09	RegPaConfig		0x4F		Selección de Amplificador de Potencia y control de potencia de salida	
0x0A	RegPaRamp		0x09		Control de curva de alimentación Amplificador de Potencia	
0x0B	RegOcp		0x2B		Protección de sobre corriente	
0x0C	RegLna		0x20		Configuración del amplificador de bajo ruido (LNA)	
0x0D	RegRxConfig	RegFifoAddrPtr	0x08	0x0E	AFC,AGC,ctrl	Apuntador FIFO SPI
0x0E	RegRssiConfig	RegFifoTxBaseAddr	0x02		RSSI	Inicio datos transmisión
0x0F	RegRssiCollision	RegFifoRxBaseAddr	0x0A		Detector colisión RSSI	Inicio datos recepción
0x10	RegRssiThresh	FifoRxCurrentAddr	0xFF		Control umbral RSSI	Dirección inicial ultimo paquete recibido
0x11	RegRssiValue	RegIrqFlagsMask	n/d	n/d	Valor de RSSI en dBm	Mascara opcional interrupciones IRQ
0x12	RegRxBw	RegIrqFlags	0x15		Filtro de ancho de canal	Banderas de interrupción IRQ
0x13	RegAfcBw	RegRxNBbytes	0x0B		Filtro de canal AFC	Numero de bytes recibidos
0x14	RegOokPeak	RegRxHeaderCntValueMsb	0x28		Demodulador OOK	Numero de cabeceras validas recibidas
0x15	RegOokFix	RegRxHeaderCntValueLsb	0x0C		Umbral demod OOK	
0x16	RegOokAvg	RegRxPacketCntValueMsb	0x12		Promedio demod OOK	Numero de paquetes validos recibidos
0x17	Reserved17	RegRxPacketCntValueLsb	0x47	-		
0x18	Reserved18	RegModemStat	0x32	-		Estado del módem LoRa(MR)
0x19	Reserved19	RegPktSnrValue	0x3E	-		Estimación del SNR del ultimo paquete
0x1A	RegAfcFei	RegPktRssiValue	0x00		Control de AFC y FEI	RSSI del ultimo paquete

Dirección	Nombre Registro		Reset (POR)	Defecto (FSK)	Descripción	
	FSK/OOK	LoRa(MR)			FSK	LoRa(MR)
0x1B	RegAfcMsb	RegRssiValue	0x00	n/d	Valor de corrección de frecuencia del AFC	RSSI actual
0x1C	RegAfcLsb	RegHopChannel	0x00	n/d		Inicio del canal FHSS
0x1D	RegFeiMsb	RegModemconfig1	0x00	n/d	Valor del error de frecuencia calculado	Configuración módem capa física (PHY) 1
0x1E	RegFeiLsb	RegModemconfig2	0x00	n/d		Configuración módem capa física (PHY) 2
0x1F	RegPreambleDetect	RegSymbTimeoutLsb	0x40	0xAA	Configuraciones del detector de preámbulo	valor temporizador recepción
0x20	RegRxTimeout1	RegPreambleMsb	0x00		Temporizador Recepción y petición de RSSI	Tamaño del preámbulo
0x21	RegRxTimeout2	RegPreambleLsb	0x00		Temporizador recepción y PayloadReady	
0x22	RegRxTimeout3	RegPayloadLength	0x00		Temporizador RSSI y SyncAddress	Tamaño área de datos LoRa(MR)
0x23	RegRxDelay	RegMaxPayloadLength	0x00		Demora entre ciclos de recepción	Máximo tamaño área datos LoRa(MR)
0x24	RegOsc	RegHopPeriod	0x05	0x07	Configuración Oscilador RC y CKLOUT	Periodo de salto FHSS
0x25	RegPreambleMsb	RegFifoRxByteAddr	0x00		Longitud de preámbulo byte mas significativo	Dirección del ultimo byte escrito en FIFO
0x26	RegPreambleLsb	RegModemconfig3	0x03		Longitud de preámbulo byte menos significativo	Configuración módem capa física (PHY) 3
0x27	RegSyncConfig	RESERVADO	0x93		Control de SyncWord	RESERVADO
0x28	RegSyncValue1	RegFeiMsb	0x55	0x01	SyncWord bytes 1	Error estimado de la frecuencia
0x29	RegSyncValue2	RegFeiMid	0x55	0x01	SyncWord bytes 2	
0x2A	RegSyncValue3	RegFeiLsb	0x55	0x01	SyncWord bytes 3	
0x2B	RegSyncValue4	RESERVADO	0x55	0x01	SyncWord bytes 4	RESERVADO
0x2C	RegSyncValue5	RegRssiWideband	0x55	0x01	SyncWord bytes 5	Medición de RSSI banda ancha
0x2D-0x2F	RegSyncValue6-8	RESERVADO	0x55	0x01	SyncWord bytes 6 a 8	RESERVADO
0x30	RegPacketConfig1	RESERVADO	0x90		conf modo paquete	
0x31	RegPacketConfig2	RegDetectOptimize	0x40		conf modo paquete	Optimización detección LoRa para SF=6
0x32	RegPayloadLength	RESERVADO	0x40		Configuración longitud área de datos	RESERVADO
0x33	RegNodeAdrs	RegInvertIQ	0x00		Dirección de nodo	Inversión señales I & Q LoRa
0x34	RegBroadcastAdrs	RESERVADO	0x00		Dirección difusión	RESERVADO
0x35	RegFifoThresh		0x0F	0x1F	Umbral FIFO, condición inicia transmisión	
0x36	RegSeqConfig1		0x00		conf Secuenciador nivel superior	
0x37	RegSeqConfig2	RegDeteccionThreshhold	0x00		Conf Secuenciador nivel superior	Umbral detección lora para SF=6
0x38	RegTimerResol	RESERVADO	0x00		Resolución temporizador 1 y 2	RESERVADO
0x39	RegTimer1Coef	RegSyncWord	0xF5	0x12	Conf temporizador 1	LoRa Sync Word

Dirección	Nombre Registro		Reset (POR)	Defecto (FSK)	Descripción	
	FSK/OOK	LoRa(MR)			FSK	LoRa(MR)
0x3A	RegTimer2Coef	RESERVADO	0x20		Configuración temporizador 2	RESERVADO
0x3B	RegImageCal		0x82	0x02	Calibración frecuencia imagen	
0x3C	RegTemp		-		Valor sensor temperatura	
0x3D	RegLowBat		0x02		Configuración indicador batería baja	
0x3E	RegIrqFlags1		0x80		Registros de estado: Enganche del PLL, temporizador RSSI	
0x3F	RegIrqFlags2		0x40		Registros de estado: banderas manejo FIFO, batería baja	
0x40	RegDioMapping1		0x00		Mapeo de los pines DIO0 a DIO3	
0x41	RegDioMapping2		0x00		Mapeo de los pines DIO4, DIO5, frecuencia ClkOut	
0x42	RegVersion		0x12		ID relativo a la revisión de silicio	
0x44	RegPllHop	NO USADO	0x2D		Control del modo saltos rápidos en frecuencia	no usado
0x4B	RegTcXo		0x09		Configuración del XTAL o TCXO	
0x4D	RegPaDac		0x84		Configuración de alta potencia del amplificador de RF	
0x5B	RegFormerTemp		-		Temperatura almacenada durante la calibración IQ	
0x5D	RegBitRateFrac	NO USADO	0x00		Parte fraccional en la división de velocidad de transmisión	no usado
0x61	RegAgcRef		0x13		Ajuste de los umbrales del AGC	
0x62	RegAgcThresh1		0x0E			
0x63	RegAgcThresh2		0x5B			
0x64	RegAgcThresh3		0xDB			
0x70	RegPll		0xD0		Control del ancho de banda de PLL	
otros	RegTest		-		Registro interno de prueba no sobre escribir	

NOTA

- Los valores de reset se refrescan automáticamente cuando el chip se enciende
- Los valores por defecto son los que recomienda Semtech para optimizar la operación del dispositivo

Mapa de registros en modo LoRa(MR)

Aquí se detalla el mapeo de registros para el chip SX1276/77/78/79 y el contenido detallado en el modo LoRa (MR)

Es esencial entender que el módem LoRa(MR) esta controlado independientemente del módem FSK. Se deberá tener cuidado al acceder a los registros, especialmente por que algunos tienen el mismo nombre en LoRa(MR) y en FSK

los registros LoRa solo son accesibles cuando el dispositivo esta en modo LoRa (y de la misma forma, los registros FSK solo son accesibles en modo FSK). Sin embargo en algunos casos, es necesario acceder algunos de los registros FSK cuando se esta en modo LoRa. Para solucionar esto se creo el bit AccesSharedReg en el registro RegOpMode. Este bit cuando esta en "1" permitirá el acceso a los registros FSK del 0x0D al 0x3F. Una vez la Configuración esta realizada, se recomienda limpiar este bit para que los registros LoRa puedan acceder con normalidad.

Convención: r: Lectura (read), w: Escritura (write), c : En "1" para limpiar (clear) y t: Disparador (trigger).

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegFifo (0x00)	7-0	Fifo	rw	0x00	Entrada y salida de datos de la FIFO LoRa(MR). La FIFO se borra y no es accesible en modo Sleep
Registros comunes de Configuración					
RegOpMode (0x01)	7	LonRangeMode	rw	0x0	0 -> Modo FSK 1 -> Modo LoRa Este bit solo puede ser modificado en modo Sleep. Una operación de escritura en otro modo sera ignorada
	6	AccesSharedReg	rw	0x0	Este bit opera cuando el dispositivo esta en modo LoRa; Si este en "1" permite acceso a la pagina de registros FSK ubicada en las direcciones (0x0D a 0x3F) 0 -> Acceso a los registros LoRa (0x0D a 0x3F) 1 -> Acceso a los registros FSK (Desde modo LoRa) (0x0D a 0x3F)
	5-4	Reservado	r	0x0	Reservado
	3	LowFrequencyModeOn	rw	0x01	Acceso a los registros de Baja frecuencia 0 -> Modo alta frecuencia (Acceso a los registros de prueba HF) 1 -> Modo baja frecuencia (Acceso a los registros de prueba LF)
	2-0	Mode	rwt	0x01	Modos de operación del dispositivo 000 -> Sleep 001 -> STDBY 010 -> Síntesis de frecuencia (FSTX) 011 -> Transmisión (TX) 100 -> Síntesis de frecuencia (FSRX) 101 -> Recepción continua (RXCONTINUOUS) 110 -> Recepción paquete único (RXSINGLE) 111 -> Detección de actividad de canal (CAD)
(0x02)	7-0		r	0x00	-
(0x03)	7-0		r	0x00	-
(0x04)	7-0		rw	0x00	-
(0x05)	7-0		r	0x00	-
RegFrMsb (0x06)	7-0	Frf(23:16)	rw	0x6C	byte mas significativo (MSB) de la frecuencia de transmisión

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegFrMid (0x07)	7-0	FrF(15:8)	rw	0x80	Byte mas significativo (MSB) de la frecuencia de transmisión
RegFLsb (0x08)	7-0	FrF(7:0)	rwt	0x00	Byte menos significativo (LSB) de la frecuencia de transmisión $f_{RF} = \frac{F(XOSC) * F_{rf}}{2^{19}}$ Resolución 61.035 Hz si F(xOSC)=32 MHz. El valor por defecto es 0x6C0000 = 434 MHz. Los valores de los registros solo deben ser modificados cuando el dispositivo este en modo SLEEP o STAND-BY
Registros para los bloques RF					
RegPaConfig (0x09)	7	PaSelect	rw	0x00	Selecciona el pin de salida del amplificador de potencia de RF 0 -> pin RFO. Salida de potencia limitada a +14dBm 1 -> pin PA_BOOST. Salida de potencia limitada a +20dBm
	6-4	MaxPower	rw	0x04	Selecciona la máxima potencia de salida Pmax=10.8+0.6*MaxPower[dBm]
	3-0	OutputPower	rw	0x0F	Pout=Pmax-(15-OutputPower) si PaSelect =0 pin RFO Pout=17-(15-OutputPower) si PaSelect=1 pin PA_BOOST
RegPaRamp (0x0A)	7-5	No Usado	r	-	no usado
	4	Reservado	rw	0x00	Reservado
	3-0	PaRamp(3:0)	rw	0x09	Tiempo de subida/bajada de la rampa arriba/abajo en FSK 0000 -> 3.4ms 0001 -> 2 ms 0010 -> 1 ms 0011 -> 500 us 0100 -> 250 us 0101 -> 125 us 0110 -> 100 us 0111 -> 62 us 1000 -> 50 us 1001 -> 40 us 1010 -> 31 us 1011 -> 25 us 1100 -> 20us 1101 -> 15 us 1110 -> 12 us 1111 -> 10 us
RegOcp (0x0B)	7-6	no usado	r	0x00	no usado
	5	OcpOn	rw	0x01	Habilita la protección de sobre corriente (OCP) para el amplificador de potencia de RF 0 -> OCP deshabilitada 1 -> OCP habilitada
	4-0	OcpTrim	rw	0x0B	Ajuste de la corriente OCP Imax= 45+5*OcpTrim [mA] si OcpTrim <= 15 (120mA) Imax=-30+10*OcpTrim [mA] si 15 < OcpTrim <= 27 (130 a 240 mA) Imax=240 mA para potencias altas Imax por defecto=100 mA

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegLna (0x0C)	7-5	LnaGain	rw	0x01	Configuraciones de ganancia del amplificador de bajo ruido (LNA) 000 -> no usado 001 -> G1 máxima ganancia 010 -> G2 011 -> G3 100 -> G4 101 -> G5 110 -> G6 mínima ganancia 111 -> no usado
	4-3	LnaBoostLf	rw	0x00	Ajuste de corriente del amplificador de bajo ruido de baja frecuencia (RFI_LF) 00 -> Corriente por defecto del LNA otro -> Reservado
	2	reservado	rw	0x00	reservado
	1-0	LnaBoostHf	rw	0x00	Ajuste de corriente del amplificador de bajo ruido de alta frecuencia (RFI_HF) 00 -> Corriente por defecto del LNA otro -> Reservado
Registros de página LoRa					
RegFifoAddrPtr (0x0D)	7-0	FifoAddrPtr	rw	0x00	Interfaz SPI al apuntador de memoria de la FIFO de datos
RegFifoTxBaseAddr (0x0E)	7-0	FifoTxBaseAddr	rw	0x80	Dirección de memoria base de escritura de la FIFO de datos para el modulador
RegFifoRxAddr (0x0F)	7-0	FifoRxBaseAddr	rw	0x00	Dirección de memoria base de lectura de la FIFO de datos para el demodulador
RegFifoCurrentAddr (0x10)	7-0	FifoRxCurrentAddr	r	n/d	Dirección inicial dentro del buffer de datos del ultimo paquete recibido
RegIrqFlagsMask (0x11)	7	RxTimeoutMask	rw	0x00	Mascara de temporizador de recepción: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	6	RxDoneMask	rw	0x00	Mascara de recepción de paquete completo: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	5	PayloadCrcErrorMask	rw	0x00	Mascara de error en CRC de datos: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	4	ValidHeaderMask	rw	0x00	Mascara de cabecera valida recibida: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	3	TxDoneMask	rw	0x00	Mascara de Transmisión completada de datos: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	2	CadDoneMask	rw	0x00	Mascara Detección de Actividad de Canal realizada: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	1	FhssChangeChannelMask	rw	0x00	Mascara salto de canal: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags
	0	CadDetectedMask	rw	0x00	Mascara de Actividad de Canal Detectada: Poner este bit en "1" enmascara la IRQ respectiva dentro de RegIrqFlags

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegIrqFlags (0x12)	7	RxTimeout	rc	0x00	Interrupción temporizador recepción: Al escribir un "1" se limpia la IRQ
	6	RxDone	rc	0x00	Interrupción recepción completa de paquete: Al escribir un "1" se limpia la IRQ
	5	PayloadCrcError	rc	0x00	Interrupción Error de CRC en datos: Al escribir un "1" se limpia la IRQ
	4	ValidHeader	rc	0x00	Interrupción recepción valida de cabecera: Al escribir un "1" se limpia la IRQ
	3	TxDone	rc	0x00	Interrupción transmisión de datos realizada: Al escribir un "1" se limpia la IRQ
	2	CadDone	rc	0x00	Interrupción Detección de Actividad de Canal realizada: Al escribir un "1" se limpia la IRQ
	1	FhssChangeChannel	rc	0x00	Interrupción Cambio de salto de canal: Al escribir un "1" se limpia la IRQ
	0	CadDetected	rc	0x00	Interrupción señal LoRa valida detectada: Al escribir un "1" se limpia la IRQ
RegRxBytes (0x13)	7-0	FifoRxBytesNb	r	n/d	Numero de bytes del ultimo paquete de datos recibido
RegRxHeaderCntValueMsb (0x14)	7-0	ValidHeaderCntMsb (15:8)	r	n/d	Numero de cabeceras validas recibidas desde la ultima transición a modo receptor, Bits mas significativos (15:8) El contador se borra en modo Sleep
RegRxHeaderCntValueLsb (0x15)	7-0	ValidHeaderCntLsb (7:0)	r	n/d	Numero de cabeceras validas recibidas desde la ultima transición a modo receptor, Bits menos significativos (7:0) El contador se borra en modo Sleep
RegRxPacketCntValueMsb (0x16)	7-0	ValidPacketCntMsb (15:8)	rc	n/d	Numero de paquetes validos recibidas desde la ultima transición a modo receptor, Bits mas significativos (15:8) El contador se borra en modo Sleep
RegRxPacketCntValueLsb (0x17)	7-0	ValidPacketCntLsb (7:0)	r	n/d	Numero de paquetes validos recibidas desde la ultima transición a modo receptor, Bits menos significativos (7:0) El contador se borra en modo Sleep
RegModemStatus (0x18)	7-5	RxCodigRate	r	n/d	Codificación de error del ultimo paquete recibido
	4	ModemStatus	r	"1"	Módem listo
	3		r	"0"	Información de cabecera valida
	2		r	"0"	Recepción en proceso
	1		r	"0"	Señal sincronizada
0	r		"0"	Señal detectada	
RegPktSnrValue(0x19)	7-0	PacketSnr	r	n/d	Estimación de la relación señal ruido SNR del ultimo paquete recibido en modo complemento a dos multiplicada por cuatro $SNR[db] = \frac{PacketSnr[complemento2]}{4}$

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegPktRssiValue (0x1A)	7-0	PacketRssi	r	n/d	Potencia de la señal (RSSI) del ultimo paquete recibido $RSSI[dBm] = -157 + Rssi$ (Usando pin de salida HF, SNR ≥ 0) o $RSSI[dBm] = -164 + Rssi$ (Usando pin de salida LF, SNR ≥ 0)
RegRssiValue (0x1B)	7-0	Rssi	r	n/d	Potencia de la señal (RSSI) actual $RSSI[dBm] = -157 + Rssi$ (Usando pin de salida HF) $RSSI[dBm] = -164 + Rssi$ (Usando pin de salida LF)
RegHopChannel (0x1C)	7	PllTimeout	r	n/d	Falla de enganche del PLL intentando operación de transmisión/recepción/detección de canal 1 -> PLL no se enganchó 0 -> PLL enganchó
	6	CrcOnPayload	r	n/d	Información del CRC extraído de la cabecera del paquete recibido (modo cabecera explícita únicamente) 0 -> Cabecera indica que el CRC está deshabilitado 1 -> Cabecera indica que el CRC está habilitado
	5-0	FhssPresentChannel	r	n/d	Valor actual del canal de salto en frecuencia usado en el momento
RegModemConfig1 (0x1D)	7-4	Bw	rw	0x07	Ancho de banda de la señal 0000 -> 7.8 kHz 0001 -> 10.4 kHz 0010 -> 15.6 kHz 0011 -> 20.8 kHz 0100 -> 31.25 kHz 0101 -> 41.7 kHz 0110 -> 62.5 kHz 0111 -> 125 kHz 1000 -> 250 kHz 1001 -> 500 kHz Otros valores -> reservado Si se está en la banda más baja (169 MHz los anchos de banda 8&9 no están soportados)
	3-1	CodingRate	rw	"001"	Codificación de error 001 -> 4/5 010 -> 4/6 011 -> 4/7 100 -> 4/8 Todos los demás valores -> reservado En modo de cabecera implícita la codificación debe ser programada en transmisor y receptor manualmente
	0	ImplicitHeaderModeOn	rw	0x0	0 -> Modo de cabecera explícita 1 -> Modo de cabecera implícita

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegModemConfig2 (0x1E)	7-4	SpreadingFactor	rw	0x07	Factor de ensanchamiento (expresado como logaritmo de base 2) 6 -> 64 pedazos / símbolo 7 -> 128 pedazos / símbolo 8 -> 256 pedazos / símbolo 9 -> 512 pedazos / símbolo 10 -> 1024 pedazos / símbolo 11 -> 2046 pedazos / símbolo 12 -> 4096 pedazos / símbolo Otros valores -> reservado
	3	TxContinuosMode	rw	0	0 -> modo normal, un solo paquete es enviado 1 -> modo continuo, enviar múltiples paquetes desde toda la FIFO (usado para análisis espectral)
	2	RxPayloadCrcOn	rw	0x00	Habilitar la generación y verificación del CRC en el área de datos 0 -> CRC deshabilitado 1 -> CRC habilitado Si el CRC es requerido, RxPayloadCrcOn debería ser configurado en: - Modo cabecera implícita: Transmisor y Receptor - Modo cabecera explícita: Transmisor solamente (es recuperado de la cabecera en el Receptor)
	1-0	SymbTimeout(9:8)	rw	0x00	Temporizador de recepción, Byte mas significativo (MSB)
RegSymbTimeoutLsb (0x1F)	7-0	SymbTimeout(7:0)	rw	0x64	Temporizador de recepción, Byte menos significativo (LSB) Este temporizador se expresa en numero de símbolos: Temporizador = SymbTimeout*Ts
RegPreambleMsb (0x20)	7-0	PreambleLength(15:8)	rw	0x0	Longitud del preámbulo, Byte mas significativo (MSB) = PreambleLength + 4.25 símbolos
RegPreambleLsb (0x21)	7-0	PreambleLength(7:0)	rw	0x8	Longitud del preámbulo, Byte menos significativo (LSB)
RegPayloadLength (0x22)	7-0	PayloadLength(7:0)	rw	0x1	Longitud del área de datos en Bytes. El registro debe ser configurado en modo cabecera implícita con el tamaño esperado del paquete de datos.El valor 0 no esta permitido
RegMaxPayloadLength (0x23)	7-0	PayloadMaxLength(7:0)	rw	0xFF	Tamaño máximo del área de datos: Si el tamaño de la cabecera de datos supera e valor se generara un error de CRC, permitiendo filtrar paquetes con tamaño incorrecto
RegHopPeriod (0x24)	7-0	FreqHoppingPeriod(7:0)	rw	0x0	Periodos de símbolo entre saltos de frecuencia. (0=deshabilitado). el primer salto siempre ocurre después del primer símbolo
RegFifoRxByteAddr (0x25)	7-0	FifoRxByteAddrPtr	r	n/d	Valor actual del apuntador en FIFO de recepción (dirección del ultimo dato escrito por el receptor LoRa)

Nombre (Dirección)	Bits	Nombre Variable	Modo	Reset	Descripción LoRa(MR)
RegModemConfig3 (0x26)	7-4	No usado	r	0x00	
	3	LowDataRateOptimize	rw	0x00	0 -> Deshabilitado 1 -> Habilitado. Obligatorio cuando la longitud de símbolo excede 16ms
	2	AgcAutoOn	rw	0x00	0 -> Ganancia LNA configurada por registro LnaGain 1 -> Ganancia LNA configurada por el lazo interno de AGC
	1-0	Reservado	rw	0x00	reservado
(0x27)	7-0	PpmCorrection	rw	0x00	Desviación de la velocidad de transmisión, usada en conjunto con AFC
RegFeiMsb (0x28)	7-4	Reservado	r	n/d	reservado
	3-0	FreqError(19:16)	r	0x0	Error de frecuencia estimado del módem Byte mas significativo (MSB) del error en frecuencia $F_{ERROR} = \frac{FreqError * 2^{24} * BW[kHz]}{F_{XTAL} * 500}$
RegFeiMid (0x29)	7-0	FreqError(15:8)	r	0x0	Byte intermedio del error en frecuencia
RegFeiLsb (0x2A)	7-0	FreqError(7:0)	r	0x0	Byte menos significativo (LSB) del error en frecuencia
(0x2B)	-	Reservado	r	n/d	Reservado
RegRssiWideband (0x2C)	7-0	RssiWideband(7:0)	r	n/d	Medición de banda ancha de potencia recibida (RSSI) usada localmente como generador de numero aleatorio
(0x0D)-(0x30)	-	Reservado	r	n/d	Reservado
RegDetectOptimize (0x31)	7-3	Reservado	r	0xC0	Reservado
	2-0	DetectionOptimize	rw	0x03	Optimización de detección LoRa 0x03-> SF7 a SF12 0x05 -> SF6
(0x32)	-	Reservado	r	n/d	Reservado
RegInvertIQ (0x33)	7	Reservado	rw	0x0	Reservado
	6	InvertIQ	rw	0x0	Invierte las señales lora I & Q 0 -> Modo normal 1 -> Señales I & Q invertidas
	5-0	Reservado	rw	0x27	Reservado
(0x34)-(0x36)	7-0	Reservado	r	n/d	Reservado
RegDetectionThreshold (0x37)	7-0	DetectionThreshold	rw	0x0A	Umbral de detección LoRa 0x0A-> SF7 a SF12 0x0C -> SF6
(0x38)	-	Reservado	r	n/d	Reservado
RegSyncWord (0x39)	7-0	SyncWord	rw	0x12	SyncWord LoRa Valor 0x34 esta reservado para redes LoRaWAN
(0x3A)-(0x3F)	-	Reservado	r	n/d	Reservado

Información de la aplicación

Especificación del resonador de cristal

La siguiente tabla muestra especificaciones para el circuito oscilador de referencia del SX1276/77/78/79. Esta especificación abarca el rango completo de operación del chip y se utiliza en el diseño de referencia

Símbolo	Descripción	Condiciones	Min	Tip	Max	Unidad
FXOSC	Frecuencia del cristal		-	32	-	MHz
RS	Resistencia en serie del cristal		-	15	100	ohms
C0	Capacitancia del cristal		-	1	3	pf
CFOOT	Capacitancia externa del pin	En cada pin XTA y XTB	10	15	22	pf
CLOAD	Carga capacitiva del cristal		6	-	12	pf

Notas

- La tolerancia inicial de la frecuencia, estabilidad y envejecimiento deben ser escogidos de acorde a los rangos de temperatura de operación del producto final y el ancho de banda escogido para el receptor.
- La carga capacitiva debe ser aplicada externamente y adaptada al CLOAD del cristal

Reset del Chip

El chip se reinicia automáticamente cuando es alimentado. Adicionalmente se puede hacer reinicio manual controlando el pin 7

Reset al encendido (POR)

Si la aplicación requiere desconectar el pin VDD del SX1276/77/78/79, aun cuando su consumo en modo sleep es extremadamente bajo, el usuario deberá esperar 10ms hasta que se finaliza el reinicio por alimentación (Power On Reset - POR) antes de comenzar cualquier tipo de comunicación por SPI. El pin 7 (NRESET) debe ser dejado al aire durante la secuencia de reinicio por alimentación (POR)

Reinicio manual

Un reset manual en el chip SX1276/77/78/79 es posible en aplicaciones en las cuales el pin VDD no pueda ser físicamente desconectado. Para ello es necesario poner en bajo ("0") el pin 7 por algunos cientos de microsegundos y luego puesto en ("1"). El usuario debe esperar al menos 5ms antes de usar el chip